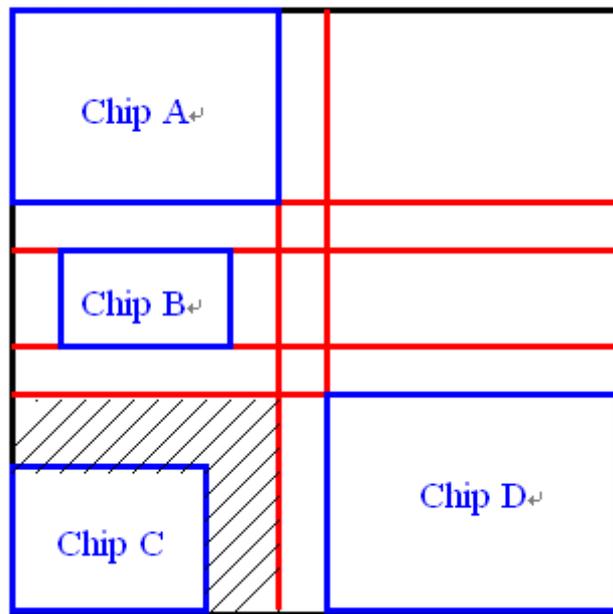


晶片排列技巧與注意事項：

在 MPW 整體晶片佈局的排列上由於 TSRI 所提供之 CMOS 製程切割方式是委託廠商以鑽石刀做破壞性切割，即一刀劃下無法做多路徑或分段切割的方式，因此在排列需預留切割道以作為切割之用。

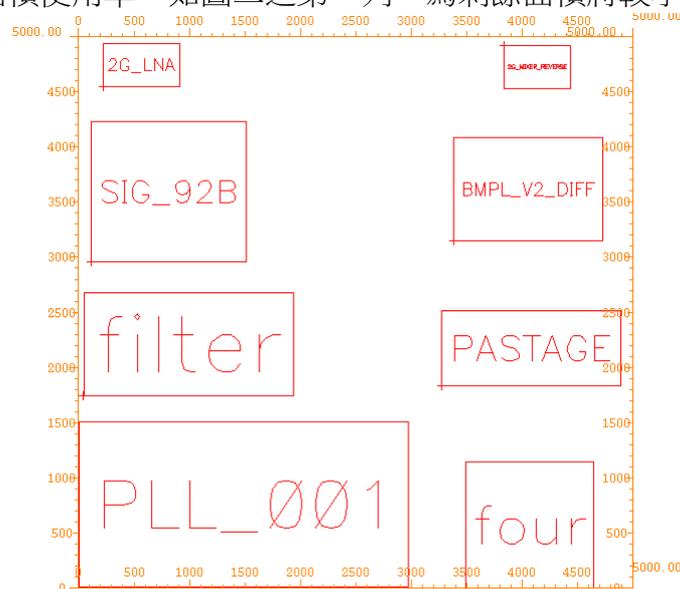
學校自費委託 TSRI 製作晶片時，晶片切割是以 **200 um** 為切割道。以搭 shuttle 時，一個 Bolck($5000 \times 5000 \text{ um}^2$)而言，邊界不需預留切割道，可完全貼齊，以利用到最大面積，但內部之個別 chip 需以最大面積者為考量，與周圍之 chip 保持最小 200 um 之切割道。舉例說明，如圖一之排列方式而言，其中 Chip B 與 Chip C 所需預留之切割道需以 Chip D 和 Chip A 之邊界為基準做計算。所以在此例中斜線部分面積將浪費無法使用。



(圖一)

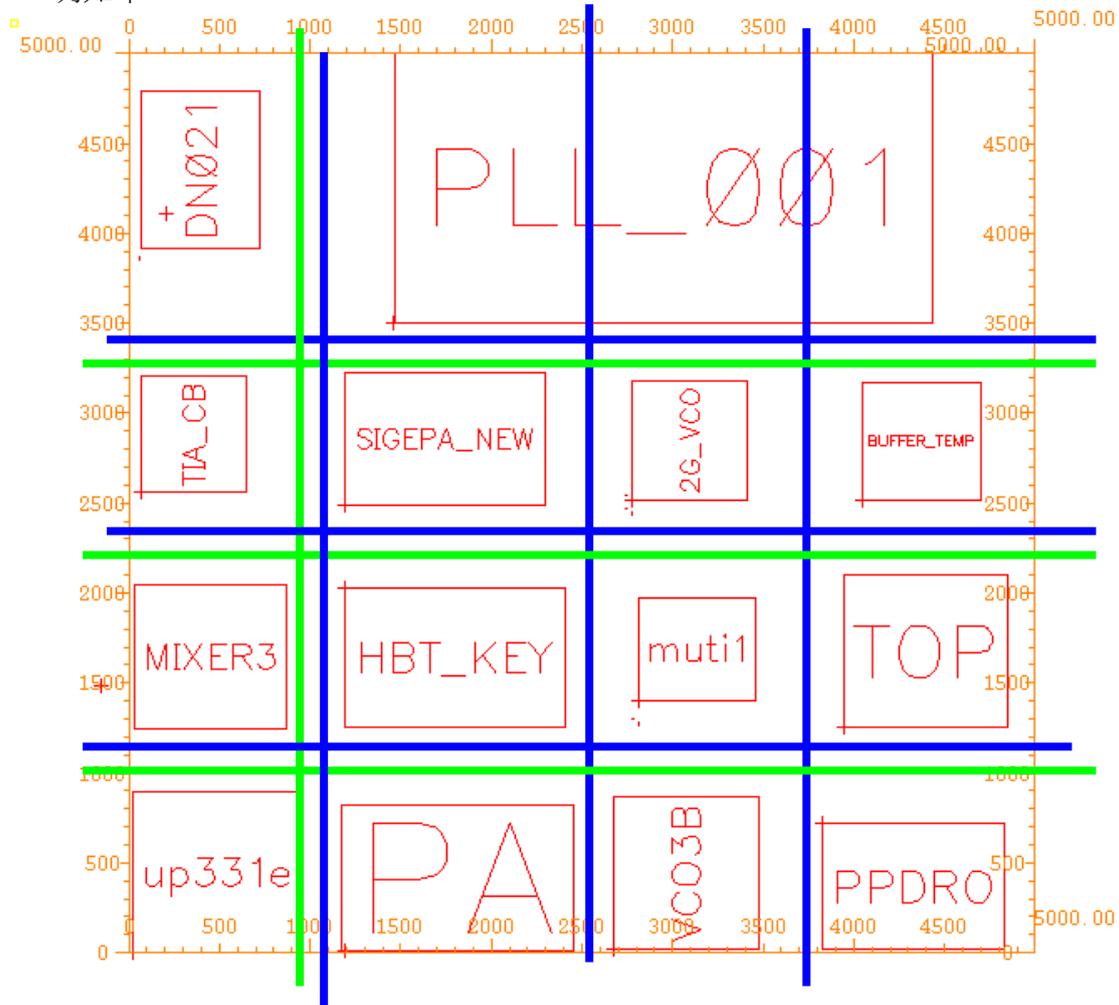
在佈局排列上有下列技巧與 trade-off 可供參考：

1. 在排列上儘量將相近面積大小之 chip 排列在一起，例可排在同一列或同一行，以增加面積使用率。如圖二之第一列，為剩餘面積將較小的 chip 排入。



(圖二)

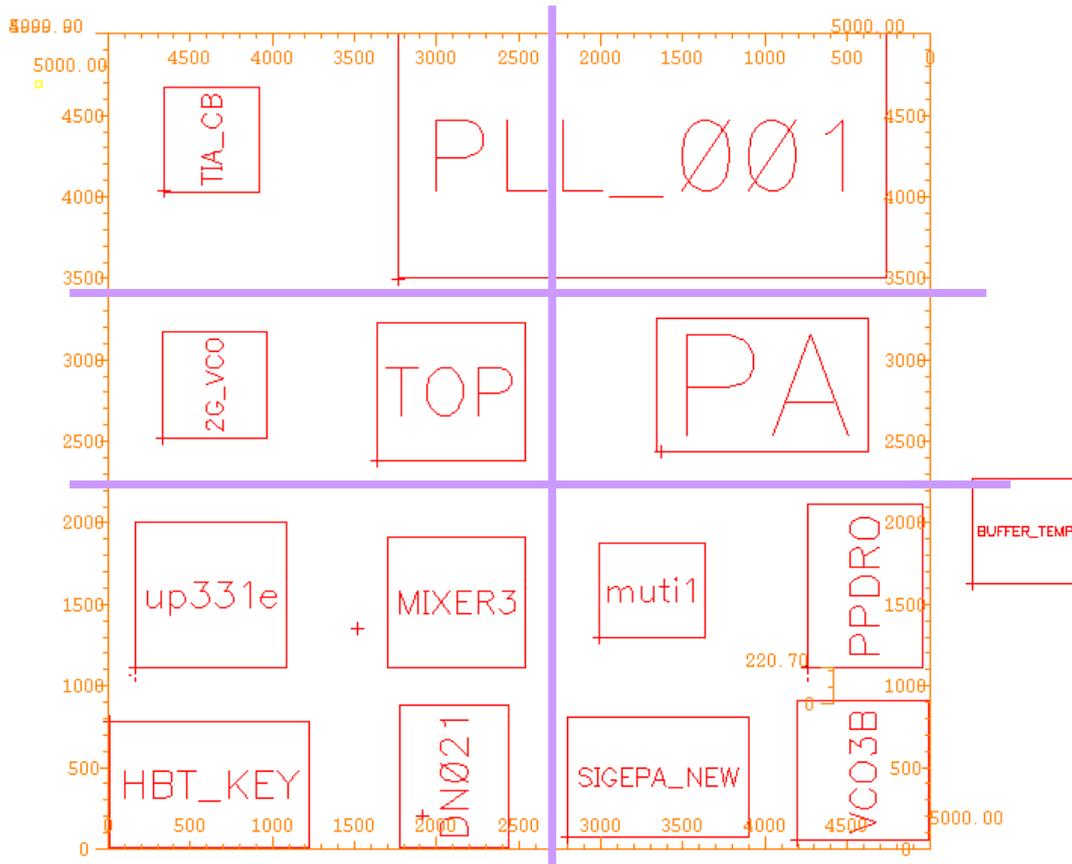
2. TSRI 在下 TSMC shuttle 時，每一個 block 均可拿到 40 顆 brae die，並且於晶片切割時可指定切割方式(即 40 顆 die 可分為二種或三種切割方式)，因此若所下之晶片有一兩個 size 特別大，容易導致其無法排入，或其他 chip 無法排進，此時可考慮以拿到較少的 die 數目換取所有 chip 均可下線方式。舉例說明如下：



(圖三)

如圖三所示，其中因為 chip PLL_001 面積較大，因此在排列上，若要全部 chip 都要拿到 40 顆 die，將使 PLL_001 無法下線，故可考慮將此 Block 以兩種方式做切割，如藍線為犧牲 PLL_001，可取得其他 chips。而綠線切割方式，則為犧牲 PLL_001 下方 9 個 chips，以取得 PLL_001。所以在此例中可發現，除了第一行之 chips 可完全拿到 40 顆 die 外，其他 chips 均最多只拿到 20 顆 die。

3. 可試著利用 rotate 方式將較長或寬的 chip 排列在一起，可增加面積使用率。如圖四若單純將所有的 chip 不經過整理排列，則會發現將導致 chip BUFFER_TMP 排不進去，並且因為 chip PA 也過大，整個 Block 需要三種切割方式(多了紫色切割方式)方能取得所有 chip，如此不但浪費面積，而拿到 die 的數目也相對減少，因此可試著將相似形狀的 chip 做翻轉重新排列，可得到如圖三最佳的排列方式。



(圖四)

至於兩個 Block 以上的排法，亦可利用上述技巧或方式，將其 chip 排列做到最佳化。