

Update: 2022/8/17

TN40G 可允許之 DRC 錯誤列表

TSMC 40NM CMOS MIXED SIGNAL RF GENERAL PURPOSE 1P9M+AL_RDL SALICIDE CU_ELK 0.9/2.5V PDK

(CRN45GS=CRN40G) : Version: 2.0_2a Date: 01/15/2015

MAIN DRC COMMAND FILE : CN45_9M_6X2Z.27a (VER 2.7a 08/31/2020)

ANTENNA DRC COMMAND FILE : CN45_9M_ANT.27a (VER 2.7a 08/31/2020)

WIRE BOND PAD DRC COMMAND FILE : CN45_WIRE_BOND_M9_6X2Z.15a (11/30/2013)

如遇到以下未列出之 DRC 錯誤，請先聯絡工程師討論後，再填寫“晶片製作需違反 DRC 申請表”，我們將詢問製程廠商是否能接受所申請違反的錯誤，請勿自行合理化錯誤，或認為填寫申請表即可違反，若沒有先與工程師討論而直接違反，該下線案件會因 DRC 錯誤而列入不受理！如遇到以下所列之可忽略之 DRC 錯誤，僅需在設計內容電子檔中列出並說明違反的原因，而不需在“晶片製作需違反 DRC 申請表”中列出。

一、Main rule 中 Density 錯誤的 DRC rule :

- (1) Full chip density 過高或過低是不允許的，如 OD.DN.1, OD.DN.1.1, PO.DN.1, PO.DN.1.1, IND.DN.3 等等。
- (2) Local density 過高是不允許的，如 OD.DN.2.1, OD.DN.3.1, M1.DN.1.1, Mx.DN.1.1, Mz.DN.1.1(其中 x= 1~9)等等。
- (3) Local density 過低的狀況，如 OD.DN.2, OD.DN.3, PO.DN.2, PO.DN.3, Mx.DN.1, Mx.DN.6, Mx.DN.7: Mx_Mx+1_Mx+2(其中 x= 1~9)等等，原則上也是不允許的，除非是在核心電路附近，或者填補 dummy 會影響電路特性時，請在設計內容電子檔中說明，才能忽略。(註：Cell-Based 或 Mixed-Signal 的使用者，若為使用 dummy generation 填補 density 的區域，則可忽略(2)(3)兩項。)
- (4) Mx.DN.4
相鄰兩塊區域的金屬密度差需小於 50%，請增加低密度區域金屬，減少高密度區域金屬，可忽略。
- (5) AP.DN.1
請自行填補 AP 層增加 density，可忽略。
- (6) IND.DN.1
電感面積需小於晶片面積的 5%，可忽略。
- (7) DTCT.DN.2
晶片內需補上 Dummy TCD，之後 TSRI 會統一補上，可忽略。

二、Main rule 中除 Density 錯誤以外的 DRC rule :

- (1) RV.W.1
RV 尺寸僅能是 3 x 3 μm^2 ，故使用 PDK 的電感請選用 4 μm 以上寬度，不可忽略。
- (2) ESD.WARN.1
layout 中無 SDI 層，若無使用 ESD，可忽略。
- (3) LUP.x, LUP.x.x 或 LUP.x.x.x
Latch-up prevention rule，請自行確認對電路的影響，若無則可忽略。
- (4) MOM.R.2
PDK 的 MOM 電容有 MOMDMY_n(N=155;0~10/20/21/100)這些層，若 layout 中沒使用 PDK MOM 電容，則可忽略。
- (5) PO.R.8
layout 中有 floating gate 的問題，請自行檢查是否影響電路操作，若無則可忽略。
- (6) G.1:xxx (xxx = M1i, VIA1i, RPOi 等等)
Design grid 必須是 0.005 μm 的整數倍。若發生於 PDK 提供的電感 layout 中，才可忽略。
- (7) CSR.R.1:M9_NEW

放置在晶片角落作為晶片方向辨識使用的金屬層，才可忽略。

(8) DOD.R.1, DPO.R.1, DMx.R.1 (x=1~9), DVIAx.R.3 (x=1~6)

建議使用 DOD, DPO, DM1~DM9, DVIA1~6 填補 dummy，(DVIAx 為非必要)，可忽略。

(9) DRM.R.1

此訊息僅提醒需檢查 Wirebond rule 與 Antenna rule，可忽略。

(10) RM.WARN.4:M1, RM.WARN.4:M2

若使用 Cell-base flow 在 IO PAD 上的錯誤，才可忽略。

(11) ESD.7g

自行檢查相同 well 內的 MOS，若連接到不同 PAD，其 PO 間距是否大於 1.2 um，可忽略。

三、Wirebond rule：

除 **CB.EN.1** 與 **AP.EN.2** 不可違反外，其餘皆可忽略。

四、Antenna rule：

請自行確認 DRC 錯誤是否影響電路特性，皆可忽略。

其它注意事項

(1) 在晶片中如需利用金屬層寫字時請一樣遵守 Design Rule。

(2) 請確認所有 DRC 錯誤，設計上是否都不可避免，以免因 DRC 錯誤而列入不受理名單，可先與工程師討論。

(3) 請時常閱讀「下線申請相關注意事項」-TN40G 製程注意事項 <http://www2.tsri.org.tw/~cis/chipapply/doc/handout.pdf>

版本歷史

2020/1/14 建立本文件

2021/12/3 更新 CALIBRE DRC COMMAND FILE 版本，新增 IND.DN.1, DMx.R.1, DVIAx.R.3

2022/3/21 新增可忽略 DRM.R.1, Mx.DN.4, 不可忽略 RV.W.1

2022/8/17 新增可忽略 DOD.R.1, DPO.R.1, DMx.R.1 (x=1~9), DVIAx.R.3 (x=1~6), RM.WARN.4:M1~M2, ESD.7g