

Update: 2024/04/09

TN90GUTM 可允許之 DRC 錯誤列表

TSMC policy is DRC clean

TSMC 90NM CMOS Mixed Signal RF General Purpose PDK Version : 1.1a

CALIBRE DRC COMMAND FILE : CLN90S_3XTM_9M.28a (VER 2.8a 02/05/2021)

CLN90S_9M_ANT.28a (VER 2.8a 02/05/2021) ANT Rule 需驗證

CLN90S_9M_6X1N1U_ANT_MIM.28a (VER 2.8a 02/05/2021) ANT Rule 需驗證

建議使用 Calibre v2018.4_25.17 以上版本，如遇到以下未列出之 DRC 錯誤，請先聯絡工程師討論後，再填寫“晶片製作需違反 DRC 申請表”，我們將詢問製程廠商是否能接受所申請違反的錯誤，請勿自行合理化錯誤，且認為填寫申請表即可違反，若沒有先與工程師討論而直接違反，該下線案件會因 DRC 錯誤而列入不受理！

此製程的 DRC 錯誤，需修正不得違反：

DRC	說明
OD.DN.1:L PO.DN.1:L UTM.DN.2 UTM.DN.3	Full chip Density 過高或過低是不允許的，請修正。
M1.DN.2 Mx.DN.2 (x=1~8) Mx.DN.1_Mx.DN.3H (x=1~8) OD.DN.2_OD.DN.3:H UTM.DN.1:H	Local Density 過高是不允許的，請修正。 註：Cell-Based 或 Mixed-Signal 的使用者，若為使用 Dummy generation 填補 Density 的區域，則可忽略。
CSR.R.1:Mxi (x=1~9) CSR.R.1:Mx_real (x=1~9) CSR.R.1:(系列錯誤) ...	Layout 角落必須留空或者放 Seal-Ring，可以等到整的電路 Layout 完成再處理此 DRC 錯誤，請參考文件(TN90LODR001_2_8.pdf)。
G.1:Mxi (x=1~9) G.1:Mx_real (x=1~9) G.1:(系列錯誤) ...	佈局時，最小格點間距，請以 0.005um 為最小範圍。

Density: 此製程的 Density 錯誤 DRC rule，僅需在設計內容電子檔中列出，並說明違反的原因，不需繳交“晶片製作需違反 DRC 申請表”：

DRC	說明
OD.DN.2_OD.DN.3:L PO.DN.2 Mx.DN.1_Mx.DN.3:L (x=1~8) UTM.DN.1:L	Local Density 過低的狀況，原則上也是不允許的，除非是在核心電路附近，填補 Dummy 會影響電路特性時，請在設計報告內容電子檔中說明，才能忽略。 註：Cell-Based 或 Mixed-Signal 的使用者，若為使用 Dummy generation 填補 Density 的區域，則可忽略。
Mx.DN.5 (x=1~5)	在 CBM 內，連續三層金屬密度低於 15%；請注意未符合此項規則，可能會影響 MIM 電容特性，請自行評估修改或忽略。
Mn.DN.5:L	使用 MIM 電容時，在 CTMDMY 內 M8 密度低於 50%；請注意未符合此項規則，可能會影響 MIM 電容特性，請自行評估修改或忽略。
UTM.DN.5R	INDDMY 超過晶片面積的 5%，可忽略。
AP.DN.1:L	AP 不須補 density，可忽略。

Others: 此製程的 Density 以外錯誤 DRC rule，僅需在設計內容電子檔中列出，並說明違反的原因，不需繳交“晶片製作需違反 DRC 申請表”：

DRC	說明
OD_DATATYPE.WARNING4	使用 PDK 中 RF MOS devices 即會出現此項警告，請檢查 MOS 是否正確後，即可忽略。
RPO.S.4	僅在 I/O ESD circuit 中可忽略。
UTM.R.2.1 UTM.R.2.2:VIA UTM.R.2.3:Mx (x=1~9) UTM.R.3	設計自製電感(inductor)或變壓器(transformer)，套用 PDK 電感外圍時，可忽略。
DOD.R.1 DPO.R.1 DMx.R.1 (x=1~8) DUTM.R.1	台積電建議使用 DOD(6:1), DPO(17:1), DM1~DM9(31~39:1)這幾層 CAD layer 來補 Dummy，以達到足夠的 Density，若沒有使用此 CAD layer，則會出現 DRC 錯誤。若是使用 OD, PO, M1~9 來補 Density 則可忽略。
PO.R.8	電路中有 Floating gate，請確認電路無誤後，即可忽略。
DRM.R.1	僅提醒使用者要檢查 Antenna 與 Wire bond DRC rules，請自行驗證後可忽略。
ANT Rule	請評估 ANT violations 對元件可靠度影響，可能因為 rule violations 造成的 damage。

其它注意事項

- 1.在晶片中如需利用金屬層寫字時請一樣遵守 Design Rule。
- 2.驗證 DRC 時，Hierarchical 與 Flat 選項都需驗證，以避免產生 DRC 錯誤。並確認所有的 DRC 錯誤，於設計上是否都不可避免，以免因 DRC 錯誤而列入不受理名單，此部份可與工程師討論。

更新歷史

2019/1/4 新增本文件

2019/8/27 新增 PO.R.8

2020/1/9 更新 DRC COMMAND FILE 版本至 2.6a, 新增 DRM.R.1

2022/06/10 更新 Density DRC (OD.DN.2_OD.DN.3:H、UTM.DN.1:H)

更新 Others DRC (UTM.R.2.1、UTM.R.2.2:VIA、UTM.R.2.3:Mx (x=1~9))

修正顯示頁面

2022/09/27 更新 DRC COMMAND FILE 版本至 2.8a

2022/11/21 修正顯示頁面內容

2024/04/09 新增 TSMC policy is DRC clean，注意事項。

新增 ANT Rule，注意事項。