

Tapeout Review Form (for Cell-based IC)

Tapeout review form 的用意在提醒設計者在設計、模擬、佈局、佈局驗證及 tapeout 時具備設計理念及了解應注意事項，希望能藉此提昇晶片設計的成功率及達到完整的學習效果。因此，請指導教授及設計者確實檢查該晶片設計過程是否已注意本表格之要求，並在填寫確定後簽名，若審查時發現設計內容與 tapeout Review Form 之填寫不符，很可能遭取消該晶片下線製作資格。可參考本中心網頁上 [Cell-Base 範例](#) 確實填寫。

1. 晶片設計案內容

- 1-1 上傳至下線電子化網頁 GDS 檔名：_____ CHIP.gds _____
- 1-2 Top Cell 名稱：_____ CHIP _____
- 1-3 本設計屬於何種類別： 純數位電路設計(佈局檔無 full-custom 設計區塊)
 混合訊號電路設計(佈局檔有 full-custom 設計區塊)
- 1-4 專題名稱：_____ 一個低功率消耗的 RSA 編解碼器及介面電路 _____
- 1-5 最高工作頻率：_____ 200MHz _____
 本設計案裡有幾個 clock domain：_____ _____
 各個 clock domain 的 clock 操作頻率分別為：_____ CLK1：200MHz CLK2：50MHz _____
- 1-6 功率消耗：_____ 50mW _____
- 1-7 晶片面積：_____ 1500 um X 1500 um _____
- 1-8 使用製程名稱：
- TSMC 0.35 UM Mixed-Signal 2P4M Polycide 3.3/5V
 (請填寫問題 2 與問題 10 至 17)
- TSMC 0.18UM CMOS HIGH VOLTAGE MIXED SIGNAL BASED GENERATION II BCD
 1P6M SALICIDE AL_FSG 1.8/ 5/ 6/ 7/ 8/ 12/ 16/ 20/ 24/ 29/ 36/ 45/ 55/ 65/ 70V/ VG1.8/ 5V AND
 5/ 6/ 7/ 8/ 12/ 16/ 20/ 24/ 29/ 36/ 45/ 55/ 65/ 70V/ VG5V
 (請填寫問題 3 與問題 10 至 17)
- TSMC 0.18 UM CMOS Mixed Signal RF General Purpose MiM Al 1P6M 1.8&3.3V
 (請填寫問題 4 與問題 10 至 17)
- TSMC 90 nm CMOS Mixed Signal MS General Purpose Standard Process LowK Cu 1P9M
 1.0&3.3V (With UTM)
 (請填寫問題 5 與問題 10 至 17)
- TSMC 40 nm CMOS LOGIC General Purpose Superb (40G) ELK Cu 1P10M 0.9/2.5V
 (請填寫問題 6 與問題 10 至 17)
- TSMC 28 nm CMOS RF High Performance Compact Mobile Computing Plus ELK Cu 1P10M
 0.9/2.5V
 (請填寫問題 7 與問題 10 至 17)
- TSMC 16 nm CMOS LOGIC FinFET Compact(Shrink) LL ELK Cu 1P13M 0.8/1.8V
 (請填寫問題 8 與問題 10 至 17)
- UMC 0.18um Mixed-Mode and RFCMOS 1.8V/3.3V 1P6M Metal Metal Capacitor Process
 (請填寫問題 9 至 17)

2. TSMC 0.35 UM Mixed-Signal 2P4M Polycide 3.3/5V 下線注意事項

2-1 是否使用 Core library：是 否2.1.1 使用 Core library 名稱：CBDK_TSMC035_TSMC_v7.0 其它_____

※注意事項：版本請參考 /cad/CBDK/CBDK035_TSMC_TSMC/01_rev.txt

2.1.2 是否更改 cell name：是 否 (建議 cell name 請勿更改)2.1.3 是否有填補 core filler：是 否2-2 是否使用 IO library：是 否2.2.1 使用 IO library 名稱：CBDK035_TSMC_TSMC_v7.0 D35/IOPAD_STC 其它_____

※注意事項 1：CBDK035_TSMC_TSMC_v7.0 是來自於/cad/CBDK/CBDK035_TSMC_TSMC

※注意事項 2：D35/IOPAD_STC 是來自於/cad/PDK/D35/IOPAD_STC

以下(2.3.2 至 2.3.5)為 CDBK035_TSMC_TSMC_v7.0 IO library 使用者才需填寫

2.2.2 是否加上 IO filler：是 否2.2.3 是否加上 bonding pad：是 否2.2.4 是否在下線電子化網頁勾選 addTagCell 選項：是否2.2.5 左下角 corner cell 擺放方向是否為 R0：是 否

2-3 Dummy Pattern 填補

2.3.1 若設計為純數位電路設計，佈局 replace 後，由本中心代填 dummy pattern。以上訊息是否已確認：是 否2.3.2 佈局檔為 mixed-signal 設計者，其 full-custom 設計區塊須自行填補 dummy pattern，並框選上不填補的圖層，包含 Layer FUSE[FW(235)]的 block layer；其 cell-based 設計區塊經 replace 佈局後，由本中心代填 dummy pattern。以上訊息是否已確認：是 否2.3.3 是否在下線電子化網頁選 addDummyCell 選項，由本中心代填 dummy pattern：是 否

2-4 DRC 驗證

2.4.1 本設計案是否完成 Queue server 之 DRC 驗證：是 否2.4.2 在 Queue server 置換後的 DRC 的驗證結果資料夾名稱：
_____2.4.3 經 Queue sever 置換後之 DRC 驗證檔是否已上傳至下線電子化網頁：是 否

2.4.3.1 上傳至下線電子化網頁之 DRC 驗證檔名：_____

2.4.3.2 上傳至下線電子化網頁之檔案是否與上述所填相符：是 否2.4.4 成 Queue server 之 DRC 結果內容是否有以下可違反之 DRC 假錯：是 否※詳細內容請參考<http://www2.cic.org.tw/~shuttle/drc/all/D35.pdf>

	DRC 錯誤種類	注意事項
<input type="checkbox"/>	RPO.S.3	本製程並無提供高電阻 Poly2。
<input type="checkbox"/>	LATI.2	此錯誤僅發生在電阻上可忽略，若發生在電晶體上必須修正此錯誤。
<input type="checkbox"/>	OFFGRID	
<input type="checkbox"/>	<input type="checkbox"/> AMS.1.M1 <input type="checkbox"/> AMS.1.M2 <input type="checkbox"/> AMS.1.M3 <input type="checkbox"/> AMS.1.M4	AMS 系列錯誤出現在 TSMC I/O PAD 上時才可以忽略，執行完 Whole Chip 的 DRC 後，請確實檢查 AMS 系列的錯誤是否有出現在 CORE 或 CORE 與 I/O PAD 連接處
<input type="checkbox"/>	<input type="checkbox"/> CB.R.1~4 <input type="checkbox"/> CB.C.1~2 <input type="checkbox"/> CB.S.1~4	Passivation 問題由於 RF 及其他線路需求，經 CIC 與實際參與製程之資深工程師討論後，目前不要求 Error Free。但請盡力遵守 CB 系 rule，確保打線可行性與成功性。

<input type="checkbox"/>	<input type="checkbox"/> CB.E.1~12 <input type="checkbox"/> CB.W.1~4	
<input type="checkbox"/>	<input type="checkbox"/> NW.W.2 <input type="checkbox"/> NW.S.1 <input type="checkbox"/> CO.E.1 <input type="checkbox"/> CB.E.5、CB.E.7、CB.E.9	STC 3.3V I/O PAD 可允許之 DRC Errors : ➤ NW.W.2 錯誤發生於 VDDI_33、VDDE_33、VSSI_33、AIN_33 ➤ NW.S.1 錯誤發生於 VDDI_33、VDDE_33、VSSI_33、AIN_33 ➤ CO.E.1 錯誤發生於 BI33_XX、DIN_33 ➤ CB.E.5、CB.E.7、CB.E.9 發生於 All Pads
<input type="checkbox"/>	<input type="checkbox"/> NW.W.2 <input type="checkbox"/> NW.S.1 <input type="checkbox"/> CO.E.1 <input type="checkbox"/> CB.E.5、CB.E.7、CB.E.9	STC 5V I/O PAD 可允許之 DRC Errors : ➤ NW.W.2 錯誤發生於 C_VDDI、C_VDDE、C_VSSI、AIN_05 ➤ NW.S.1 錯誤發生於 C_VDDI、C_VDDE、C_VSSI、AIN_05 ➤ CO.E.1 錯誤發生於 BI05_XX、DIN05_01 ➤ CB.E.5、CB.E.7、CB.E.9 發生於 All Pads
<input type="checkbox"/>	NET_AREA_RATIO_RDBS	
<input type="checkbox"/>	<input type="checkbox"/> PO.R.1 <input type="checkbox"/> M1.R.1 <input type="checkbox"/> M2.R.1 <input type="checkbox"/> M3.R.1 <input type="checkbox"/> M4.R.1	該錯誤僅容許於 CBDK Circuit 電路經-addDummy 指令後之仍發生之 Density 錯誤

2-5 LVS 驗證

2.5.1 本設計案在完成 Queue server 上 DRC 驗證之前的 layout 是否有 LVS 錯誤：是 否

2.5.2 是否有非 CIC 提供的 blackbox：是 否

2.5.3 使用驗證 LVS 軟體名稱為何： Calibre LVS _____

2.5.4 上傳至下線電子化網頁之 LVS 驗證檔名： _____

2.5.5 上傳至下線電子化網頁之檔案是否與上述所填相符：是 否

2.5.6 請確認 Queue server 上 DRC 驗證結果資料夾中，在 Short_Check_With_Dummy 資料夾內的 lvs.rep.ext 檔案內容，是否有出現 lvs.rep.short 的檔案產生，或其他訊號短路的 LVS 錯誤或警告訊息：是 否

注意事項：設計者可透過 Queue server 線上 Post-layout transistor level 模擬，自行確認此錯誤的發生是否會影響電路設計的功能。

3. TSMC 0.18UM CMOS HIGH VOLTAGE MIXED SIGNAL BASED GENERATION II BCD 1P6M SALICIDE AL_FSG 1.8/ 5/ 6/ 7/ 8/ 12/ 16/ 20/ 24/ 29/ 36/ 45/ 55/ 65/ 70V/ VG1.8/ 5V AND 5/ 6/ 7/ 8/ 12/ 16/ 20/ 24/ 29/ 36/ 45/ 55/ 65/ 70V/ VG5V 下線注意事項

3-1 是否使用 Core library：是 否

3.1.1 使用 Core library 名稱：CBDK_T18HVG2_ARM_v4.0 其它 _____

※注意事項：版本請參考 /cad/ CBDK/CBDK_T18HVG2_ARM/01_rev.txt

3.1.2 是否更改 cell name：是 否 (建議 cell name 請勿更改)

3.1.3 是否有填補 core filler：是 否

3-2 Dummy Pattern 填補

3.2.1 若設計為純數位電路設計，佈局 replace 後，由本中心代填 dummy pattern。以上訊息是否已確認：是 否

3.2.2 佈局檔為 mixed-signal 設計者，其 full-custom 設計區塊須自行填補 dummy pattern，並框選

上不填補的圖層，包含 Layer DMEXCL (Layer number 150 ; Data type 1~6)、Layer ODBLK (Layer number 150 ; Data type 20)以及 Layer POBLK (Layer number 150 ; Data type 21)的 Block Layer，共 8 層 Layer；其 Cell-Based 設計區塊經 replace 佈局後，由本中心代填 dummy pattern。以上訊息是否已確認：是 否

3.2.3 是否在下線電子化網頁選 addDummyCell 選項，由本中心代填 dummy pattern：是 否

3-3 DRC 驗證

3.3.1 本製程需經過

- (1) /cad/PDK/T18HVG2/T18HVG2_DRC.rule
- (2) /cad/PDK/T18HVG2/T18HVG2_ANTENNA.rule
- (3) /cad/PDK/T18HVG2/T18HVG2_WireBond.rule

三項 DRC Rule 的確認，是否已通過上述確認：是 否

3.3.2 本設計案是否完成 Queue server 之 DRC 驗證：是 否

3.3.3 在 Queue server 置換後的 DRC 的驗證結果資料夾名稱：

3.3.4 經 Queue sever 置換後之 DRC 驗證檔是否已上傳至下線電子化網頁：是 否

3.3.4.1 上傳至下線電子化網頁之 DRC 驗證檔名：_____

3.3.4.2 上傳至下線電子化網頁之檔案是否與上述所填相符：是 否

3.3.5 成 Queue server 之 DRC 結果內容是否有以下可違反之 DRC 假錯：是 否

※詳細內容請參考：<http://www2.cic.org.tw/~shuttle/drc/all/T18HVG2.pdf>

	DRC 錯誤種類	DRC 錯誤之原因	注意事項
<input type="checkbox"/>	DRM.R.1		請參考製程文件 T-018-CV-DR-027 中之相關說明後，即可忽略。
<input type="checkbox"/>	MOM.R.2		若設計中未使用 MOM 電容，則可忽略。
<input type="checkbox"/>	DOD.R.1		若是使用 OD 來補 density，則可忽略。

3-4 LVS 驗證

3.4.1 本設計案在完成 Queue server 上 DRC 驗證之前的 layout 是否有 LVS 錯誤：是 否

3.4.2 是否有非 CIC 提供的 blackbox：是 否

3.4.3 使用驗證 LVS 軟體名稱為何： Calibre LVS _____

3.4.4 上傳至下線電子化網頁之 LVS 驗證檔名：_____

3.4.5 上傳至下線電子化網頁之檔案是否與上述所填相符：是 否

3.4.6 請確認 Queue server 上 DRC 驗證結果資料夾中，在 Short_Check_With_Dummy 資料夾內的 lvs.rep.ext 檔案內容，是否有出現 lvs.rep.short 的檔案產生，或其他訊號短路的 LVS 錯誤或警告訊息：是 否

注意事項：設計者可透過 Queue server 線上 Post-layout transistor level 模擬，自行確認此錯誤的發生是否會影響電路設計的功能。

4. TSMC 0.18 UM CMOS Mixed Signal RF General Purpose MiM Al 1P6M 1.8&3.3V 下線注意事項

4-1 是否使用 Core library：是 否

4.1.1 使用 Core library 名稱：CBDK_TSMC018_Arm_v4.0 其它_____

※注意事項：版本請參考 /cad/ CDBK/CDBK_TSMC018_Arm/01_rev.txt

4.1.2 是否更改 cell name：是 否 (建議 cell name 請勿更改)

4.1.3 是否有填補 core filler：是 否

4-2 是否使用 memory：是 否

	種類	上傳 Spec 檔名(*.spec) 與對應 ROM 燒錄檔名(*.txt)	記憶體尺寸	數量
■ 範 例	t18rodsd (ROM)	(1) ROMexample1.spec (ROMexample1.txt) (2) ROMexample2.spec (ROMexample2.txt)	(1) 256 X 4 (2) 1024 X 8	1 1
<input type="checkbox"/>	t18rodsd (ROM)			
<input type="checkbox"/>	t18ra1shd			
<input type="checkbox"/>	t18ra2sh			
<input type="checkbox"/>	t18rf1sh			
<input type="checkbox"/>	t18rf2sh			

4.2.1 確認上述所填資料是否與下線電子化網頁項目相同：是 否

4.2.2 燒錄資料檔是否在 UNIX 或 LINUX 工作站以 vi 編輯器編輯產生：(建議以 vi 編輯器編輯產生燒錄資料檔，否則產生 ROM 的時候可能有問題發生)：是 否

4-3 是否使用 IO library：是 否

4.3.1 使用 IO library 名稱：T018MMIO001 CBDK_TSMC018_Arm_v4.0 其它_____

4.3.2 是否有加上 IO filler：是 否

4.3.3 是否加上 bonding pad：是 否

以下(C-1 至 C-3)為使用 CBDK_TSMC018_Arm_v4.0 IO library 者才須填寫

C-1.: 每一組 power domain 是否只有唯一的一個 PVDD2POC 的電源 PAD：是 否

C-2.: 在下線電子化網頁是否有勾選 addTagCell 選項：是 否

C-3.: 左下角 Corner Cell 擺放方向是否為 R0：是 否

4-4 Dummy Pattern 填補

4.4.1 若設計為純數位電路設計，佈局 replace 後，由本中心代填 dummy pattern。以上訊息是否已確認：是 否

4.4.2 佈局檔為 mixed-signal 設計者，其 full-custom 設計區塊須自行填補 dummy pattern，並框選上不填補的圖層，包含 Layer DMEXCL (Layer number 150 ; Data type 1~6)、Layer ODBLK (Layer number 150 ; Data type 20)以及 Layer POBLK (Layer number 150 ; Data type 21)的 Block Layer，共 8 層 Layer；其 Cell-Based 設計區塊經 replace 佈局後，由本中心代填 dummy pattern。以上訊息是否已確認：是 否

4.4.3 是否在下線電子化網頁選 addDummyCell 選項，由本中心代填 dummy pattern：是 否

4-5 DRC 驗證

4.5.1 本設計案是否完成 Queue server 之 DRC 驗證：是 否

4.5.2 在 Queue server 置換後的 DRC 的驗證結果資料夾名稱:

4.5.3 經 Queue sever 置換後之 DRC 驗證檔是否已上傳至下線電子化網頁：是 否

4.5.3.1 上傳至下線電子化網頁之 DRC 驗證檔名：_____

4.5.3.2 上傳至下線電子化網頁之檔案是否與上述所填相符：是 否

4.5.4 完成 Queue server 之 DRC 結果內容是否有以下可違反之 DRC 假錯：是 否

※詳細內容請參考<http://www2.cic.org.tw/~shuttle/drc/all/T18.pdf>

TSMC18 可違反 DRC 假錯列表			
<input type="checkbox"/> VIA2.E.3	<input type="checkbox"/> LUP.1g	<input type="checkbox"/> LUP.2g	<input type="checkbox"/> DRM.R.1
<input type="checkbox"/> OD.R.1	<input type="checkbox"/> NET_AREA_RATIO_RDBS	<input type="checkbox"/> FPAD.R.1	<input type="checkbox"/> NW.R.1

<input type="checkbox"/> DRM.R.1	<input type="checkbox"/> DOD.DN.1	<input type="checkbox"/> DOD.DN.2	<input type="checkbox"/> UTM20K.C.1
<input type="checkbox"/> UTM20K.E.3	<input type="checkbox"/> UTM20K.I.1	<input type="checkbox"/> CTM.R.2	
以下錯誤必須發生在 I/O Pad 的範圍內才可違反			
<input type="checkbox"/> LUP.4g	<input type="checkbox"/> LUP.5.3g_3.3V		
以下錯誤必須發生在 Core Circuit 的範圍內才可違反			
<input type="checkbox"/> VIA3.E.3	<input type="checkbox"/> VIA4.E.3		
以下錯誤需發生於 TSRI 提供之數位 PAD 上才可違反			
<input type="checkbox"/> RES.2	<input type="checkbox"/> RES.4_PO	<input type="checkbox"/> RES.8	<input type="checkbox"/> NW.S.1.1
<input type="checkbox"/> ESD.24g	<input type="checkbox"/> LUP.5.3g_3.3V	<input type="checkbox"/> ESD.28g	<input type="checkbox"/> ESD.34g
<input type="checkbox"/> ESD.25g			
其它可違反 DRC 錯誤			
<input type="checkbox"/> Density	請使用 Dummy 填補程式進行填補，填補後錯誤可忽略		
<input type="checkbox"/> OD.EX.1	發生在 I/O pad 及 TSRI 提供之記憶體上皆可忽略。		

TSMC18 Density 可違反 DRC 假錯誤列表		
<input type="checkbox"/> NO.IND.OD.R.1	<input type="checkbox"/> NO.IND.PO.R.3	<input type="checkbox"/> NO.IND.M1.R.1
<input type="checkbox"/> NO.IND.M2.R.1	<input type="checkbox"/> NO.IND.M3.R.1	<input type="checkbox"/> NO.IND.M4.R.1
<input type="checkbox"/> NO.IND.M5.R.1	<input type="checkbox"/> UTM20K.R.1	

TSMC18 其他需違反 DRC 錯誤列表	
※注意：若有非 CIC 允許的錯誤，則本設計案不予下線	
DRC 錯誤編號	DRC 錯誤之原因

4-6 LVS 驗證

4.6.1 本設計案在完成 Queue server 上 DRC 驗證之前的 layout 是否有 LVS 錯誤：是 否

4.6.2 是否有非 CIC 提供的 blackbox：是 否

4.6.3 使用驗證 LVS 軟體名稱為何： Calibre LVS _____

4.6.4 上傳至下線電子化網頁之 LVS 驗證檔名：_____

4.6.5 上傳至下線電子化網頁之檔案是否與上述所填相符：是 否

4.6.6 請確認 Queue server 上 DRC 驗證結果資料夾中，在 Short_Check_With_Dummy 資料夾內的 lvs.rep.ext 檔案內容，是否有出現 lvs.rep.short 的檔案產生，或其他訊號短路的 LVS 錯誤或警告訊息：是 否

注意事項：設計者可透過 Queue server 線上 Post-layout transistor level 模擬，自行確認此錯誤的發生是否會影響電路設計的功能。

5. TSMC 90 nm CMOS Mixed Signal MS General Purpose Standard Process LowK Cu 1P9M 1.0&3.3V (With UTM)下線注意事項

5-1 是否使用 Core library：是 否

5.1.1 使用 Core library 名稱：CBDK_TSMC90GUTM_Arm_v1.2 其它_____

※注意事項：版本請參考 /cad/CBDK/CBDK_TSMC90GUTM_Arm_v1.2/01_rev.txt

5.1.2 是否更改 cell name：是 否 (建議 cell name 請勿更改)

5.1.3 Core cell 是否使用 multi-Vt：是 否

5.1.4 使用何種 core cell： RVT HVT

5.1.5 是否有填補 core filler：是 否

5-2 是否使用 memory：是 否

	種類	上傳 Spec 檔名(*.spec) 與對應 ROM 燒錄檔名(*.txt)	記憶體尺寸	數量
<input checked="" type="checkbox"/>	t90utm_rodscd (ROM)	(1) ROMexample1.spec (ROMexample1.txt) (2) ROMexample2.spec (ROMexample2.txt)	(1) 256 X 4 (2) 1024 X 8	1 1
<input checked="" type="checkbox"/>	t90utm_rodscd	t90utm_rodscd.spec(ROMt90utm_rodscd.txt)	128 X 8	1
<input checked="" type="checkbox"/>	t90utm_sram_sp_adv	t90utm_sram_sp_adv.spec	512 X 8	1
<input type="checkbox"/>	t90utm_sram_dp_adv			
<input type="checkbox"/>	t90utm_rf_sp_adv			
<input type="checkbox"/>	t90utm_rf_dp_adv			

5.2.1 確認上述所填資料是否與下線電子化網頁項目相同：是 否

5.2.2 燒錄資料檔是否在 UNIX 或 LINUX 工作站以 vi 編輯器編輯產生：(建議以 vi 編輯器編輯產生燒錄資料檔，否則產生 ROM 的時候可能有問題發生)：是 否

5-3 是否使用 IO library：是 否

5.3.1 使用 IO library 名稱：CBDK_TSMC90GUTM_Arm_v1.2 其它_____

5.3.2 每一組 power domain 是否只有唯一的一個 PVDD2POC_33 的電源 PAD：是 否

5.3.3 是否有加 IO filler：是 否

5.3.4 是否加上 bonding pad：是 否

5.3.5 在下線電子化網頁是否有勾選 addTagCell 選項：是 否

5.3.6 左下角 corner cell 擺放方向是否為 R0：是 否

5-4 是否使用 CIC 提供之 ADPLL IP：是 否

5.4.1 使用 ADPLL IP 之版本為何： ADPLL_TSMC90GUTM_CIC_v1.0

5-5 是否使用 CIC 提供之 CPU IP：是 否 (若為是，請務必填寫第 16 項)

5.5.1 使用 CPU 之種類為何： AndesCore

5-6 Dummy Pattern 填補

5.6.1 若設計為純數位電路設計，佈局 replace 後，由本中心代填 dummy pattern。以上訊息是否已確認：是 否

5.6.2 佈局檔為 mixed-signal 設計者，其 full-custom 設計區塊須自行填補 dummy pattern，並框選上不填補的圖層，包含 Layer DMEXCL (Layer number 150 ; Data type 1~9)、Layer ODBLK (Layer number 150 ; Data type 20)以及 Layer POBLK (Layer number 150 ; Data type 21)的 Block Layer，共 11 層 Layer;其 Cell-Based 設計區塊經 replace 佈局後，由本中心代填 dummy pattern。以上訊息是否已確認：是 否

5.6.3 是否在下線電子化網頁選 addDummyCell 選項，由本中心代填 dummy pattern：是 否

5-7 DRC 驗證

5.7.1 相關可容許 DRC 錯誤，已附於 CBDK_TSMC90GUTM_Arm_v1.2 內的"KNOWN PROBLEMS AND LIMITATIONS.txt"內，是否在上傳前有確認過此檔案：是 否

5.7.2 本設計案是否完成 Queue server 之 DRC 驗證：是 否

5.7.3 在 Queue server 置換後的 DRC 的驗證結果資料夾名稱:

18-3-9_cic01c_DRC_10700

5.7.4 經 Queue sever 置換後之 DRC 驗證檔是否已上傳至下線電子化網頁：是 否

5.7.4.1 上傳至下線電子化網頁之 DRC 驗證檔名： DRC.rep

5.7.4.2 上傳至下線電子化網頁之檔案是否與上述所填相符：是 否

5.7.5 成 Queue server 之 DRC 結果內容是否有以下可違反之 DRC 假錯：是 否

DRC 錯誤種類	注意事項
<input checked="" type="checkbox"/> Mx.DN.2	(x=1~8) 若為使用 Dummy generation 填補 Density 的區域，則可忽略
<input checked="" type="checkbox"/> Mx.DN.1_Mx.DN.3:H	
<input type="checkbox"/> Mx.DN.1_Mx.DN.3:L	
<input type="checkbox"/> PO.DN.2	
<input type="checkbox"/> OD.DN.2_OD.DN.3:H_IO	
<input type="checkbox"/> OD.DN.2_OD.DN.3:H_CORE	
<input type="checkbox"/> OD.DN.2_OD.DN.3:L	
<input type="checkbox"/> UTM.DN.1:H	
<input type="checkbox"/> UTM.DN.1:L	(x=1~5) 在 CBM 內，連續三層金屬密度低於 15%；請注意未符合此項規則，可能會影響 MIM 電容特性，請自行評估修改或忽略
<input type="checkbox"/> Mx.DN.5	
<input type="checkbox"/> Mn.DN.5:L	使用 MIM 電容時，在 CTMDMY 內 M8 密度低於 50%；請注意未符合此項規則，可能會影響 MIM 電容特性，請自行評估修改或忽略
<input checked="" type="checkbox"/> UTM.DN.5R	INDDMY 超過晶片面積的 5%，可忽略
<input type="checkbox"/> AP.DN.1:L	AP 不須補 density，可忽略
TN90GUTM 其他需違反 DRC 錯誤列表	
<p>※注意：若有上述以外之 DRC 錯誤，請自行修正，否則不予下線。詳細內容請參考 http://www2.cic.org.tw/~cis/chipapply/doc/handout.pdf</p>	
DRC 錯誤編號	需違反該 DRC 錯誤之原因

5-8 LVS 驗證

5.8.1 本設計案在完成 Queue server 上 DRC 驗證之前的 layout 是否有 LVS 錯誤：是 否

5.8.2 是否有非 CIC 提供的 blackbox：是 否

5.8.3 使用驗證 LVS 軟體名稱為何： Calibre LVS _____

5.8.4 上傳至下線電子化網頁之 LVS 驗證檔名： lvs.rep

5.8.5 上傳至下線電子化網頁之檔案是否與上述所填相符：是 否

5.8.6 請確認 Queue server 上 DRC 驗證結果資料夾中，在 Short_Check_With_Dummy 資料夾內的 lvs.rep.ext 檔案內容，是否有出現 lvs.rep.short 的檔案產生，或其他訊號短路的 LVS 錯誤或警告訊息：是 否

注意事項：設計者可透過 Queue server 線上 Post-layout transistor level 模擬，自行確認此錯誤的發生是否會影響電路設計的功能。

6. TSMC 40 nm CMOS LOGIC General Purpose Superb (40G) ELK Cu 1P10M 0.9/2.5V 下線注意事項

6-1 是否使用 Core library：是 否

6.1.1 使用 Core library 名稱：CBDK_TSMC40_core_Arm_v2.0 CBDK_TN40G_ITRI_v3.1

其它 _____

6.1.2 是否更改 cell name：是 否 (建議 cell name 請勿更改)

6.1.3 Core cell 是否使用 multi-Vt：是 否

6.1.4 使用何種 core cell： LVT RVT HVT

6.1.5 是否有填補 core filler：是 否

6-2 是否使用 memory：是 否

	種類	記憶體尺寸	數量
■ 範例	rf_2p_hse_rvt_hvt_rvt	(1) 256 X 4 (2) 1024 X 8	1 1
<input type="checkbox"/>	rf_2p_hse_rvt_hvt_rvt		
<input type="checkbox"/>	rom_via_rvt_hvt_rvt		
<input type="checkbox"/>	sram_sp_hde_rvt_hvt_rvt		
<input type="checkbox"/>	sram_dp_hde_rvt_hvt_rvt		
<input type="checkbox"/>	rf_sp_hde_rvt_hvt_rvt		

6.2.1 Memory 是否已正確置換成真實 Layout：是 否

6-3 是否使用 IO library：是 否

6.3.1 使用 IO library 名稱：CBDK_TSMC40_io_TSMC_v2.0 其它_____

6.3.2 每一組 power domain 是否只有唯一的一個 PVDD2POC 的電源 PAD：是 否

6.3.3 是否有加 IO filler：是 否

6.3.4 是否加上 bonding pad：是 否

6.3.5 在下線電子化網頁是否有勾選 addTagCell 選項：是 否

6.3.6 左下角 corner cell 擺放方向是否為 R0：是 否

6-4 Dummy Pattern 填補

6.4.1 若設計為純數位電路設計，佈局 replace 後，由本中心代填 dummy pattern。以上訊息是否已確認：是 否

6.4.2 佈局檔為 mixed-signal 設計者，其 full-custom 設計區塊須自行填補 dummy pattern，並框選上不填補的圖層，包含 Layer DMEXCL (Layer number 150 ; Data type 1~9)、Layer ODBLK (Layer number 150 ; Data type 20)以及 Layer POBLK (Layer number 150 ; Data type 21)的 Block Layer，共 11 層 Layer；其 Cell-Based 設計區塊經 replace 佈局後，由本中心代填 dummy pattern。以上訊息是否已確認：是 否

6.4.3 是否在下線電子化網頁選 addDummyCell 選項，由本中心代填 dummy pattern：是 否

6-5 DRC 驗證

6.5.1 完成 Queue server 之 DRC 結果內容是否有以下可違反之 DRC 假錯：是 否

	DRC 錯誤種類	注意事項
<input type="checkbox"/>	LUP5.4.1	該錯誤僅能發生於 IO Library 之處。
<input type="checkbox"/>	DTCD.DN.2	大晶片面積者可以忽略。
<input type="checkbox"/>	MOM.R.2	若設計中未使用 MOM 電容，則可忽略。
<input type="checkbox"/>	DRM.R.1	此訊息僅提醒需檢查 Wirebond rule 與 Antenna rule，可忽略
<input type="checkbox"/>	RM.WARN.4:M1	這個錯誤都只可以出現在 PVDD3AC 這個 IOPAD 內
<input type="checkbox"/>	RM.WARN.4:M2	這個錯誤都只可以出現在 PVDD3AC 這個 IOPAD 內

6.5.2 本製程之設計案，原則上不容許發生除 6.5.1 所列外的任何 DRC 錯誤。

TN40G 需違反 DRC 錯誤列表
※注意：此區 DRC 錯誤需與 TN40G 製程工程師連絡報備並申請，否則將視作違反 DRC 驗證，將建議不予下線

DRC 錯誤編號	需違反該 DRC 錯誤之原因

6-6 LVS 驗證

- 6.6.1 本設計案是否有 LVS 錯誤：是 否
- 6.6.2 是否有非 CIC 提供的 blackbox：是 否
- 6.6.3 使用驗證 LVS 軟體名稱： Calibre LVS _____
- 6.6.4 上傳至下線電子化網頁之 LVS 驗證檔名： _____
- 6.6.5 上傳至下線電子化網頁之檔案是否與上述所填相符：是 否

7. TSMC 28 nm CMOS RF High Performance Compact Mobile Computing Plus ELK Cu 1P10M 0.9/2.5V
下線注意事項7-1 是否使用 Core Library：是 否

- 7.1.1 使用 Core library 名稱：CBTK_TSMC28HPCPlus_core_TSMC_v1.0 其它 _____
- 7.1.2 是否更改 cell name：是 否 (建議 cell name 請勿更改)
- 7.1.3 Core cell 是否使用 multi-Vt：是 否
- 7.1.4 使用何種 core cell： LVT RVT HVT
- 7.1.5 是否有填補 core filler：是 否
- 7.1.6 是否有填補 Well Tap Cell (Cell Name: TAPCELLBWP12T30P140)：是 否
- 7.1.7 是否有填補 End Cap Cell
(Cell Name: BOUNDARY_LEFTBWP12T30P140, BOUNDARY_RIGHTBWP12T30P140)：
是 否
- 7.1.8 Core cell 與 core filler 是否已正確置換成真實 Layout：是 否

7-2 是否使用 memory：是 否

	種類	記憶體尺寸	數量
■ 範例	TN28HPCPlus One Port Register File	(1) 256 X 4 (2) 1024 X 8	1 1
<input type="checkbox"/>	TN28HPCPlus One Port Register File		
<input type="checkbox"/>	TN28HPCPlus Two Port Register File		
<input type="checkbox"/>	TN28HPCPlus Single Port SRAM		
<input type="checkbox"/>	TN28HPCPlus Dual Port SRAM		
<input type="checkbox"/>	TN28HPCPlus Ultra High Density Single Port SRAM		
<input type="checkbox"/>	TN28HPCPlus Ultra High Density Dual Port SRAM		
<input type="checkbox"/>	TN28HPCPlus ROM		

7-3 是否使用 IO library：是 否

- 7.3.1 使用 IO library 名稱：CBTK_TSMC28HPCPlus_io_TSMC_v1.0 其它 _____
- 7.3.2 每一組 power domain 是否只有唯一的一個 PVDD2POC_H_G, PVDD2POC_V_G 的電源 PAD：是 否
- 7.3.3 是否有加 IO filler：是 否
- 7.3.4 是否加上 bonding pad：是 否
- 7.3.5 IO PAD、IO filler、bonding pad 是否確認已置換成真實 Layout：是 否
- 7.3.6 是否在晶片左下角依照指示加上 L 型 Corner Tag：是 否

7-4 DRC 驗證

7.4.1 本製程之設計案，原則上不容許發生任何的 DRC 錯誤。

TN28HPCplu 需違反 DRC 錯誤列表	
※注意：此區 DRC 錯誤需與 TN28HPCplu 製程工程師連絡報備並申請，否則將視作違反 DRC 驗證，將建議不予下線	
DRC 錯誤編號	需違反該 DRC 錯誤之原因

7-5 LVS 驗證

7.5.1 本設計案是否有 LVS 錯誤：是 否

7.5.2 使用驗證 LVS 軟體名稱： Calibre LVS _____

7.5.3 上傳之 LVS 驗證檔名：_____

7.5.4 上傳之檔案是否與上述所填相符：是 否

8. TSMC 16 nm CMOS LOGIC FinFET Compact(Shrink) LL ELK Cu 1P13M 0.8/1.8V 下線注意事項

8-1 是否使用 Core library：是 否

8.1.1 使用 Core library 名稱：CBTK_TSMC16FFC_core_TSMC_v1.0：其它_____

8.1.2 是否更改 cell name：是 否 (建議 cell name 請勿更改)

8.1.3 Core cell 是否使用 multi-Vt：是 否

8.1.4 使用何種 core cell： SVT LVT ULVT ILVT

8.1.5 是否有填補 core filler：是 否

8.1.6 是否有填補 Well Tap Cell (Cell Name: TAPCELLBWP16P90)：是 否

8.1.7 是否有填補 End Cap Cell (Cell Name: BOUNDARY_PTAPBWP16P90, BOUNDARY_NTAPBWP16P90)：是 否

8.1.8 Core cell 與 core filler 是否已正確置換成真實 Layout：是 否

8-2 是否使用 memory：是 否

	種類	記憶體尺寸	數量
<input checked="" type="checkbox"/>	TN16FFC Low Leakage One Port Register File	(1) 256 X 4 (2) 1024 X 8	1 1
<input type="checkbox"/>	TN16FFC Low Leakage One Port Register File		
<input type="checkbox"/>	TN16FFC Low Leakage Two Port Register File		
<input type="checkbox"/>	TN16 FFC Low Leakage Dual Port SRAM		
<input type="checkbox"/>	TN16 FFC Low Leakage High Density Single Port Multi Bank SRAM		
<input type="checkbox"/>	TN16FFC Low Leakage High Density Single Port Single Bank SRAM		
<input type="checkbox"/>	TN16FFC Low Leakage Read Only Memory		
<input type="checkbox"/>	TN16FFC Low Leakage Smaller High Current Single Port Single Bank SRAM		
<input type="checkbox"/>	TN16FFC Low Leakage Smaller High Density Single Port Multi Bank SRAM		
<input type="checkbox"/>	TN16FFC Low Leakage Smaller High Density Single Port Single Bank SRAM		
<input type="checkbox"/>	TN16FFC Low Leakage Single Port SRAM		
<input type="checkbox"/>	TN16FFC Low Leakage Ultra High Density One Port Register File		

<input type="checkbox"/>	TN16FFC Low Leakage Ultra High Density Two Port Register File		
--------------------------	---	--	--

8-3 是否使用 IO library：是 否

8.3.1 使用 Core library 名稱：CBTK_TSMC16FFC_io_TSMC_v1.0 其它_____

8.3.2 每一組 power domain 是否只有唯一的一個 PVDD2POCM 的電源 PAD：是 否

8.3.3 每一組 power domain 是否至少有一個 PCB RTE 的電源 PAD：是 否

8.3.4 是否有加上 IO filler：是 否

8.3.5 是否加上 bonding pad：是 否

8.3.6 IO PAD、IO filler、bonding pad 是否確認已置換成真實 Layout：是 否

8.3.7 是否在晶片左下角依照指示加上 L 型 Corner Tag：是 否

8-4 DRC 驗證

8.4.1 本製程之設計案，原則上不容許發生任何的 DRC 錯誤。

TN16FFC 需違反 DRC 錯誤列表	
※注意：此區 DRC 錯誤需與 TNFFC 製程工程師連絡報備並申請，否則將視作違反 DRC 驗證，將建議不予下線	
DRC 錯誤編號	需違反該 DRC 錯誤之原因

8-5 LVS 驗證

8.5.1 本設計案是否有 LVS 錯誤：是 否

8.5.2 使用驗證 LVS 軟體名稱為何：Calibre LVS _____

8.5.3 上傳之 LVS 驗證檔名：_____

8.5.4 上傳之檔案是否與上述所填相符：是 否

9. UMC 0.18um Mixed-Mode and RFCMOS 1.8V/3.3V 1P6M Metal Metal Capacitor Process 下線注意事項

9-1 是否使用 Core library：是 否

9.1.1 使用 Core library 名稱：CBDK018_UMC_Faraday_v1.0 CBDK_UMC018_ITRI_v0.8
其它_____

9.1.2 是否更改 cell name：是 否 (建議 cell name 請勿更改)

9.1.3 是否有填補 core filler：是 否

9-2 是否使用 memory：是 否

	種類	上傳 Spec 檔名(*.spec) 與對應 ROM 燒錄檔名(*.txt)	記憶體尺寸	數量
■	u18mem (RAM)	(1) RAMexample1.spec (RAMexample1.txt) (2) RAMexample2.spec (RAMexample2.txt)	(1) 256 X 4 (2) 1024 X 8	1 1
<input type="checkbox"/>	u18mem			

9.2.1 確認上述所填資料是否與下線電子化網頁項目相同：是 否

9.2.2 燒錄資料檔是否在 UNIX 或 LINUX 工作站以 vi 編輯器編輯產生：(建議以 vi 編輯器編輯產生燒錄資料檔，否則產生 ROM 的時候可能有問題發生)：是 否

9-3 是否使用 IO library：是 否

9.3.1 使用 IO library 名稱：CBDK_UMC18_Faraday CBDK_UMC018_ITRI 其它_____

9.3.2 是否有加 IO filler：是 否

9.3.3 是否加上 bonding pad：是 否

以下(C-1 至 C-2)為使用 CBDK_UMC18_Faraday IO library 或 CBDK_UMC018_ITRI IO Library 才須填寫

C-1.: 是否在下線電子化網頁勾選 addTagCell 選項：是否

C-2.: 左下角 Corner Cell 擺放方向是否為 R180：是 否

9-4 Dummy Pattern 填補

9.4.1 若設計為純數位電路設計，一律由 UMC 代填 Dummy Pattern，填補的 Dummy Pattern 將包含 Diffusion/Poly/Metal 1~6 Dummy，以符合 Diffusion/Poly/Metal Density Rules。。以上訊息是否已確認：是 否

9.4.2 佈局檔為 mixed-signal 設計者，其內部 Full-Custom Flow 區域必須由設計者自行填補 Dummy Pattern，並於外框自行加上 GDS No 70~77 Data Type 1 的 Dummy Block Layer，共 8 層，以避免 Dummy Pattern 於 Full-Custom Flow 區域內而影響電路特性。而 Cell-Based Flow 區域，則一律由 UMC 代填 Diffusion/Poly/Metal Dummy。以上訊息是否已確認：是 否

9-5 DRC 驗證

9.5.1 本設計案是否完成 Queue server 之 DRC 驗證：是 否

9.5.2 在 Queue server 置換後的 DRC 的驗證結果資料夾名稱:

9.5.3 經 Queue sever 置換後之 DRC 驗證檔是否已上傳至下線電子化網頁：是 否

9.5.3.1 上傳至下線電子化網頁之 DRC 驗證檔名：_____

9.5.3.2 上傳至下線電子化網頁之檔案是否與上述所填相符：是 否

9.5.4 完成 Queue server 之 DRC 結果內容是否有以下可違反之 DRC 假錯：是 否

※詳細內容請參考 <http://www2.tsri.org.tw/~shuttle/drc/all/U18.pdf>

UMC18 可違反 DRC 假錯列表			
<input type="checkbox"/> RECOMMEND_4.14L	<input type="checkbox"/> 4.1M	<input type="checkbox"/> 4.20G	<input type="checkbox"/> 4.22G
<input type="checkbox"/> 4.24G	<input type="checkbox"/> 4.26G	<input type="checkbox"/> 4.28G	<input type="checkbox"/> 4.31F
<input type="checkbox"/> 4.20C	<input type="checkbox"/> 4.22C	<input type="checkbox"/> 4.24C	<input type="checkbox"/> 4.26C
<input type="checkbox"/> 4.28C	<input type="checkbox"/> 4.29NOTICE	<input type="checkbox"/> 4.01Z.NO_IND_OD	<input type="checkbox"/> 4.14Z.NO_IND_PO1
<input type="checkbox"/> 4.20F.NO_IND_M1	<input type="checkbox"/> 4.22F.NO_IND_M2	<input type="checkbox"/> 4.24F.NO_IND_M3	<input type="checkbox"/> 4.26F.NO_IND_M4
<input type="checkbox"/> 4.28F.NO_IND_M5	<input type="checkbox"/> 4.31E.NO_IND_M6	<input type="checkbox"/> 6Bb.ME1	<input type="checkbox"/> Sanity_1
<input type="checkbox"/> IO5.1.W2	<input type="checkbox"/> IO5.1.R1	<input type="checkbox"/> IO5.2.1.W1.a	<input type="checkbox"/> IO5.2.1.W1.b
<input type="checkbox"/> IO5.2.2.L1.a	<input type="checkbox"/> IO5.2.2.L1.c	<input type="checkbox"/> IO5.5.4.Note	<input type="checkbox"/> Latch.4.1
<input type="checkbox"/> Latch.4.2	<input type="checkbox"/> Latch.4.4.pick	<input type="checkbox"/> Latch.4.5	<input type="checkbox"/> Latch.4.5.pick
<input type="checkbox"/> Latch.4.6.guard	<input type="checkbox"/> Latch.4.7	<input type="checkbox"/> Latch.4.7.guard	<input type="checkbox"/> Latch.4.10
<input type="checkbox"/> Latch.5.1	<input type="checkbox"/> Latch.5.3	<input type="checkbox"/> Latch.5.4	<input type="checkbox"/> Latch.5.5
<input type="checkbox"/> Latch.5.6	<input type="checkbox"/> Latch.4.8_Latch.4.9_Latch.5.2		
<input type="checkbox"/> 5.2A_M3	<input type="checkbox"/> 5.2B_M3	<input type="checkbox"/> Off_Grid	<input type="checkbox"/> SkewEdge
<input type="checkbox"/> ANT.3.1.1D.ME*	<input type="checkbox"/> ANT.3.1.2.NoTE2.VI*		

U18 Memory Generate 所產生的 Memory 上可違反 DRC 假錯列表	
<input type="checkbox"/> ANT.1D.b.ME1	該錯誤僅能發生於 U18 Memory Generate 所產生的 Memory 上
<input type="checkbox"/> ANT.1D.b.ME2	
<input type="checkbox"/> ANT.1D.b.ME3	

UMC18 其他需違反 DRC 錯誤列表
※注意：若有非 TSRI 允許的錯誤，則本設計案不予下線

DRC 錯誤編號	DRC 錯誤之原因

9-6 LVS 驗證

9.6.1 本設計案是否有 LVS 錯誤：是 否9.6.2 是否有非 TSRI 提供的 blackbox：是 否9.6.3 使用驗證 LVS 軟體名稱： Calibre LVS _____

9.6.4 上傳至下線電子化網頁之 LVS 驗證檔名：_____

9.6.5 上傳至下線電子化網頁之檔案是否與上述所填相符：是 否9.6.6 請確認 Queue server 上 DRC 驗證結果資料夾中，在 Short_Check_With_Dummy 資料夾內的 lvs.rep.ext 檔案內容，是否有出現 lvs.rep.short 的檔案產生，或其他訊號短路的 LVS 錯誤或警告訊息：是 否

注意事項：設計者可透過 Queue server 線上 Post-layout transistor level 模擬，自行確認此錯誤的發生是否會影響電路設計的功能。

10. 是否使用非 memory generator 產生之記憶體：是 否10-1 使用之記憶體的 cell name 為何：SRAM_2048x1610-2 使用之記憶體是否通過 DRC 檢查：是 否

11. 設計合成

11-1 使用之合成軟體：Synopsys Design Compiler11-2 是否加入 boundary condition：是 否
 input drive strength input delay output loading output delay
11-3 是否加入 timing constraint：是 否
 specify clock (sequential design)

 max delay min delay (combinational design)

11-4 合成後之 report 是否有 timing violation：

 有 setup time violation、 有 hold time violation
11-5 合成後之 verilog 是否含有 assign 描述：是 否11-6 合成後之 verilog 是否含有 *cell* 之 instance name：是 否

12. 可測試性設計(如無使用可測試性設計，請勾"否"且無需填寫 12.1.1 ~ 12.1.5)

12-1 是否使用可測試性設計：是 否12.1.1 使用之設計軟體：Synopsys DFT Compiler12.1.2 使用之 ATPG 軟體：Synopsys TetraMax12.1.3 使用 Embedded memory 數量：SRAM 1，ROM 1Memory 大小：SRAM: 512 X 8, ROM: 128 X 8測試方法：BIST YES，or 其他測試方法_____若使用 BIST，其 Test Algorithm 為何：March C-同時有多個 memory，是否共用 BIST controller：是 否BIST controller 數量：2

12.1.4 Scan Chain Information

Flip-Flop 共有多少個：4959

Scan chain 的數量共有多少條： 8

Scan chain length (Max.): 650

12.1.5 Uncollapsed fault coverage 是否超過 90%: 是 否, 為多少: 95.67%

ATPG pattern 的數目為多少: 348

註: 若使用 Synopsys TetraMAX 來產生 ATPG pattern, 請使用 set faults -fault_coverage 指令指定 TetraMAX 產生 fault coverage information

若使用 SynTest TurboScan 之 asicgen 來產生 ATPG pattern, 請以 atpg pessimistic fault coverage 的值为準

13. 佈局前模擬

13-1 gate level simulation 是否有 setup timing violation: 是 否

14. 實體佈局

14-1 使用之 P&R 軟體: IC Compiler Innovus

14-2 power ring 寬度: 40 μm 是否已考量 current density: 是 否

14-3 IO power pad 數量: 5; Core power pad 數量: 5

14-4 IO ground pad 數量: 5; Core ground pad 數量: 5

14-5 是否考慮 output loading: 是 否

14-6 是否加上 Clock Tree: 否

以下(C-1)為使用 IC Compiler 者才須填寫

C-1. 是否執行 verify route 的步驟並修正 violation: 是 否

以下(S-1 至 S-2)為使用 Innovus 者才須填寫

S-1. 是否執行 verify connectivity 步驟並確定 connectivity 無誤: 是 否

S-2. 是否執行 verify geometry 的步驟並修正 geometry violation: 是 否

15. 佈局後模擬

15-1 是否做過 post-layout gate level simulation: 是 否

STA(static timing analysis) 軟體: PrimeTime

15-2 是否做過 Queue server 置換後的 post-layout transistor level 模擬: 是 否

(若有使用 CIC 提供之 ADPLL IP, 建議完成 post-layout transistor level 模擬)

15-3 已針對以下環境狀態模擬: SS TT FF

15-4 晶片取得時將以何種方式進行測試: CIC 93000 測試機台

15-5 APR 時是否考量輸出負載影響: 是 否。若有輸出負載是: 40 pF

16. 使用 Andes N1213-30T2G CPU IP

16-1 若有使用 Andes N1213-30T2G CPU IP, 請提供以下訊息:

佈局中 Andes N1213-30T2G Macro 的 cell name: _____

是否已簽署及繳交 SRAM 使用授權金同意書: _____

這個晶片是否為修訂版本(revision,也就是之前曾下線過相同晶片): _____

若是修訂版本,前一次下線的晶片編號: _____

修訂版本的原因是(例如修正 bug): _____

17. 打線圖

17-1 打線圖的晶片 layout 請採用 Virtuoso 或 Laker 等 layout editor 開啟的 layout 來進行打線標示, 勿採用以 Innovus 或 IC Compiler 等 APR tool 開啟的 layout。是否已確認: 是 否

17-2 佈局平面圖與打線圖必需標示晶片左下角參考位置, 如此封裝廠商才能依據 layout IO pad 打線頭

的真正位置實施打線作業。是否已確認：是 否

設計者簽名: _____ 指導教授簽名: _____

(此份文件請填入完整並上傳電子檔即可，無需繳交紙本)

SRI DOCUMENT EXAMPLE