

Tapeout Review Form (for Full-custom IC)

Tapeout review form 的用意在提醒設計者在設計、模擬、佈局、佈局驗證及 tapeout 時具備設計理念及了解應注意事項，希望能藉此提昇晶片設計的成功率及達到完整的學習效果。因此，請指導教授及設計者確實檢查該晶片設計過程是否已注意本表格之要求，若審查時發現設計內容與 Tapeout Review Form 之填寫不符，很可能遭取消該晶片下線製作資格。

專題名稱： TSRI Tapeout Review Form 範例

Top Cell 名稱： TSRI EXEMPLE

製程名稱： T18

1 電路概述

1-1. 工作電壓： 3.3V

1-2. 工作頻率： 20MHz

1-3. 功率消耗： 3mW

1-4. 是否使用 TSRI 提供之 ARM CPU IP? 否
使用 CPU 之種類為何? (ARM7TDMI or ARM926EJ)

1-5. 此電路架構於貴實驗室是否第一次設計? 是(接 2-1) 否(接 1-5-1)

1-5-1. 此電路之前量測 work 或 performance 不好的原因為何?

1-5-2. 對之前的錯誤作何種修改?

2 電路模擬考量

2-1. 已用 SS,SF,TT,FS,FF 中哪些不同狀態之 spice model 模擬? 五個 Corner 都有模擬

2-2. 已模擬過電壓變動 $\pm 10\%$ 中哪些情況對電路工作之影響? 2.97V~3.63V 都有符合設計

2-3. 如何考量溫度變異之影響? 設定 0 度~100 度的溫度來模擬

2-4. 如何考量電阻、電容製程變異之影響? 帶入變異的最大最小值做模擬

2-5. 模擬時是否加入 IO PAD、Bonding wire 的效應及考量測試儀器之負載等影響? 是

2-6. 是否作 LPE 及 Post Layout Simulation? 是 使用的軟體為 Calibre & HSPICE

3 Power Line 佈局考量

3-1. Power Line 畫多寬? 20um

3-2. 是否考量 Power Line Current Density? 是

3-3. 是否考量 Metal Line 之寄生電阻、電容? 是

4 DRC、LVS

4-1. 是否確認 DRC、LVS Command File 為最新版本? 是

4-2. 是否有作 Whole Chip 的 DRC 及 LVS? 是

- 4-3. 驗證 DRC 時， Flat DRC 與 Hierarchical DRC 是否都有驗證? 是
- 4-4. 是否考量 Density Rule? 是 填補方式為手動 Dummy Cell 填補或 Dummy Generation 填補? 手動填補 Dummy Cell，直至符合 Density Rule
- 4-5. 除了 PAD 上 DRC 的錯誤之外，內部電路及與 PAD 連接的線路是否有錯? 否
錯誤原因為何? _____
- 4-6. 在作 LVS 的過程中，PIN 腳及元件是否 match? 是 不 match 的原因為何? _____
- 4-7. 檢查 PAD 與 PAD 間是否有移位、短路或斷路的現象? 已檢查無相關現象
- 4-8. 檢查裸 PAD 是否面積過小，是否有開窗，量測上是否考慮? 已檢查

5 ESD I/O PAD 考量

- 5-1 採用 Create Instance 方式加入 I/O Pad，未用 Copy 或 Flatten 破壞 Instance 的結構 是
- 5-2 由 IC Core 部份拉線到 Pad 只拉到最邊緣部分，未過於覆蓋 Pad 是
- 5-3 是否有使用 TSMC I/O PAD (D35 製程填寫)? _____
- 5-3-1 個人設計的 Cell 名稱(Cell-Name)未與 TSMC 所提供之任一 Pad Cell 名稱相同，並作詳細的確認 _____

6 類比-混合訊號電路佈局考量 (類比-混合訊號電路設計者填寫)

- 6-1 佈局對稱性及一致性考量
- 6-1-1 OP(Comparator) Input Stage 是否對稱? 是
- 6-1-2 佈局中對稱元件是否使用 Dummy Cell 技巧? 是
- 6-1-3 對稱電容是否採用同心圓佈局? 是
- 6-1-4 對稱單位電容四周是否切成 45 度斜角? 是
- 6-1-5 對稱電容的單位面積是否一致? 是
單位電容面積多大? 33 um x 33 um
單位電容值多大? 1 pF
電容的上下極板是否接對? 是
- 6-1-6 電阻採用哪一材質製作? Poly1
單位電阻值多大? 50Ω
- 6-2 電路雜訊佈局考量 (混合訊號電路設計者填寫)
- 6-2-1 是否將 Analog 及 Digital 的 power line 分開? 是
- 6-2-2 Analog area 是否用 guard ring 隔絕? 是
- 6-2-3 Digital area 是否用 guard ring 隔絕? 是
- 6-2-4 對於 sensitive line 是否使用 shield 的技巧? 是
- 6-2-5 Analog guard ring 及 shield 是否接至乾淨之電位? 是
- 6-2-6 是否將 sensitive line 儘量縮短及避免跨越 noise(clock)line? 是

7 MEMS 設計考量 (MEMS 設計者填寫)

- 7-1 請簡述所進行之後製程: 先進行溼蝕刻再結合奈米碳管
- 7-2 後製程操作地點: 亞太優勢微系統股份有限公司
- 7-3 下線者目前是否有操作該製程設備之合法授權? 是 若目前無操作該製程設備之合法

- 授權，是否可在晶片取回前得到合法授權? 是
- 7-4 下線者是否有使用該製程設備之經驗? 是
- 7-5 是否有該後製程之製程參數（壓力、溫度、流量、.....）? 是
- 7-6 之前是否有成功實現過該後製程? 是
- 7-7 Layout 違反 design rule 的部分是否會影響微結構本身或元件操作? 否
- 7-8 Layout 之蝕刻孔尺寸是否足以讓結構懸浮? 是
- 7-9 元件驅動電壓範圍? 0~3.3V

8 RF Circuit 電路佈局考量 (RF 操作頻段設計者填寫) :

- 8-1 電路規格適用何種系統? 802.11b/g
- 8-2 說明被動元件模型的來源? 由 EM 模擬得到
- 8-3 模擬軟體 (可不只一種)? ADS Circuit
- 8-4 系統整合 chip 裡之各個 block 是否曾下過線且量測符合預期規格 (chip 為系統整合者回答,並說明製程梯次代號)? 是
- 8-5 佈局考量 :
- 8-5-1 元件佈局方式是否與模型提供者所提供的佈局一致? 是
- 8-5-2 接地與電壓源是否均勻? 是
- 8-5-3 元件與拉線的電流承載能力考量? 有考量
- 8-5-4 拉線是否過長過細? 否
- 8-5-5 PAD 的佈局是否配合量測上之考量? 是
- 8-5-6 PAD 與 Bond-wire 的效應是否考量? 是
- 8-6 DRC 驗證過程中, 部分錯誤若為特殊考量, 請說明 CTM.R2 密度不夠, 依 TSRI 規定列為可允許的假錯
- 8-7 LVS 驗證過程中, 電感電容或其他特殊元件的比對是否做過處理, 請說明 電路上有自製電感, 將電感短路做 LVS 比對, 比對後無誤。
- 8-8 量測方式為 on wafer, on PCB or in package? 並說明量測時應該注意事項與量測地點 On Wafer 量測, 量測地點為 CIC 高頻量測實驗室

9 GIPD 電路佈局考量 (GIPD、GIPD/T18 設計者填寫) :

- 9-1 GIPD 製程不平坦問題有可能導致下針量測失敗(請參考 GIPD 製程之設計環境與佈局說明文件附錄 A), 下針 PAD 之設計已考量提供平坦度較高之下針區進行下針量測, 是否已確認? 是
- 9-2 以下由 GIPD/T18 設計者填寫 :
- 9-2-1 佈局是否繳交 1.整體佈局 Layout 檔(T18+Bumper 與 GIPD 圖層) 2.T18+Bumper 佈局檔。且無自行鏡射翻轉, 是否已確認? 是
- 9-2-2 所使用 Bumper 佈局檔為 CIC 提供, 且無自行更改或創新 Bumper 佈局, 是否已確認? 是
- 9-2-3 Bumper 數量過少, 恐無法承受 T18 晶片重量, 已詳細估算邊長對應之 Bumper 數量, 是否已確認? 是

9-2-4 GIPD/T18 整合晶片，T18 面積需大於 1mm*1mm，下針 PAD 距離 T18 晶片至少大於 400um，是否已確認？ 是

9-2-5 GIPD/T18 整合晶片，佈局檔皆有使用 Top Metal 繪製滿足 DRC 規範之覆晶封裝所需之對位 Mark，且於佈局平面圖有詳細的標示，是否已確認？ 是

10 HV 電路設計考量 (T18HVG2/T25HVG2 設計者填寫)：

10-1 已通過三項 DRC 驗證？

Wire-bond Rule Main Design Rule Antenna Rule

10-2 已通過 OD/PO/Metal Density rule

有 無 (density 不符合規範者，申請案件將不被受理)

10-3 全晶片左下角座標位置為(0,0)

有 無

10-4 使用 ref(drawing)(0;0) layer 將全晶片框起來

有 無

10-5 電路中使用到的高壓電晶體、BJT、二極體、電阻等元件？

無

高壓電晶體: _____

BJT: _____

二極體: _____

電阻: _____

其他: _____

10-6 保護電路設計？

無 過電壓保護 過電流保護 過溫度保護 ESD 保護電路

其他保護及考量: _____

10-7 電路類型為？

高壓元件結構與特性 功率轉換電路 LED 驅動 偵測與保護

拓樸控制 能量擷取 生醫應用 其他: _____

11 T50GaN 電路設計考量 (T50GaN 設計者填寫)：

11-1 已通過 DRC 驗證？

Main Design Rule

11-2 全晶片左下角座標位置為(0,0)

有 無

11-3 電路中使用到的元件？

無

使用到的元件: _____

11-4 保護電路設計？

無 過電壓保護 過電流保護 過溫度保護 ESD 保護電路

其他保護及考量:

11-5 電路類型為？

- 高壓元件結構與特性 功率轉換電路 高速驅動電路 電動車相關應用
高功率無線充電 光達及雷射相關應用 其他:

12 U18 電路設計考量 (U18 設計者填寫)

12-1. 已通過下列 DRC 驗證？

Base Rule ANT Rule DIFF Rule ESD Rule Latch-up Rule

Metal Rule OPC Rule PAD Rule POLY Rule

12-2. CMOS 佈局中，是否框選 DMBK Layer？

PO_CAD(DK) DIFF_CAD(DK) M1_CAD(DK) M2_CAD(DK)

M3_CAD(DK) M4_CAD(DK) M5_CAD(DK) M6_CAD(DK)

12-3. MEMS 佈局中，除上述 12-2 DMBK Layer 外，是否有框選 M7 DMBK Layer？

M7_CAD(DK)

12-4. 設計內容電子檔，應條列出 DRC Rule 九項驗結果圖示，逐條說明，並參閱可違反之設計規範驗證(DRC)網頁。

已確認

12-5. DRC 驗證結果，如設計需求需違反 DRC，請填寫 DRC 違反申請表，並 Mail 至 U18 製程工程師。

已確認

12-6. Dummy Layer 建議使用 PO_CAD(Dy)、DIFF_CAD(Dy)、M1_CAD(Dy)、M2_CAD(Dy)、M3_CAD(Dy)、M4_CAD(Dy)、M5_CAD(Dy)、M6_CAD(Dy)、M7_CAD(Dy)，而非 12-2 之 DMBK Layer。

已確認

13 用 ARM926EJ or ARM7TDMI CPU IP

13-1 若有使用 ARM926EJ /ARM7TDMI CPU IP，請提供以下訊息以便向 ARM 原廠申請 Design ID。

使用的 CPU 種類 (ARM926EJ or ARM7TDMI) : ARM926E

使用的 metal layers 的層數: 6

佈局中 ARM926EJ /ARM7TDMI Macro 的 cell name: test

這個晶片是否為修訂版本(revision,也就是之前曾下線過相同晶片)? 否

若是修訂版本，前一次下線的晶片編號: _____

修訂版本的原因是？(例如修正 bug) _____

14 其他考量

14-1 是否考量測試時的輸出量測點? 是

14-2 是否考量電路之可修改性(如用 laser cut 設備) 是

設計者姓名： 王小明 指導教授姓名： 李大明

(此份文件請填入完整並上傳電子檔即可，無需繳交紙本)