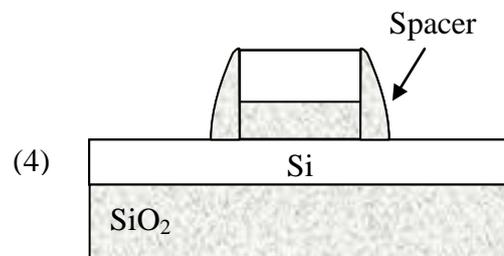
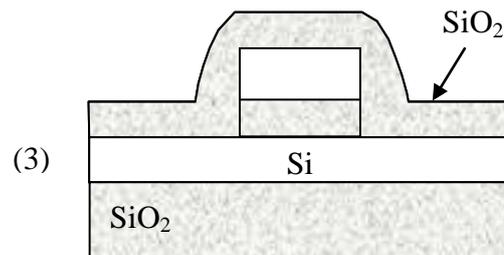
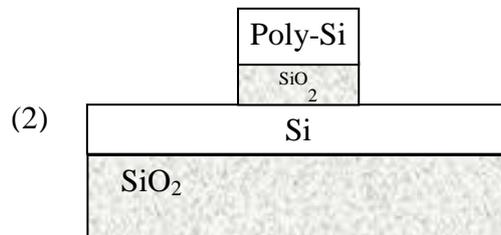
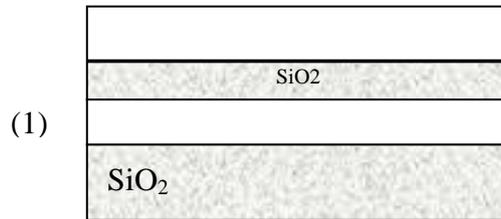
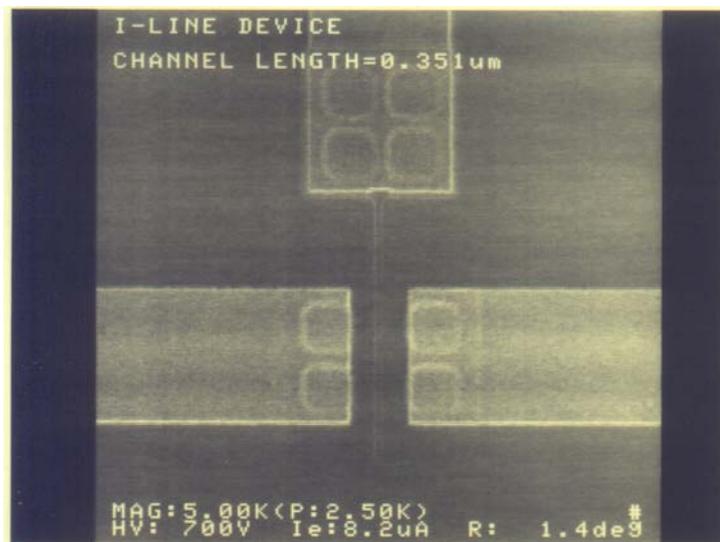
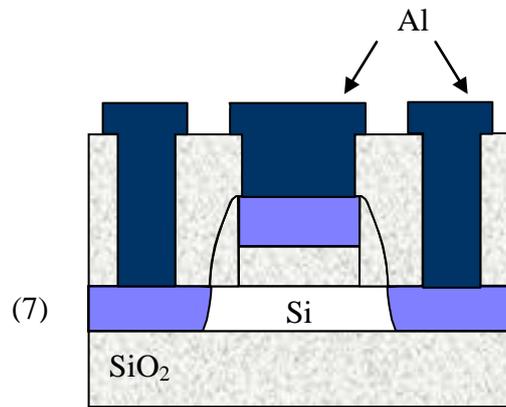
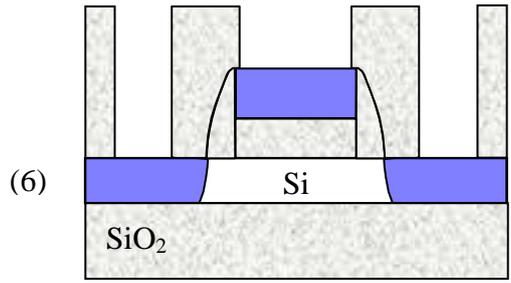
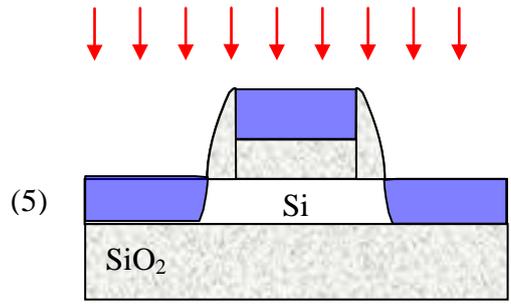


元件應用, mix-matching 與電性結果介紹

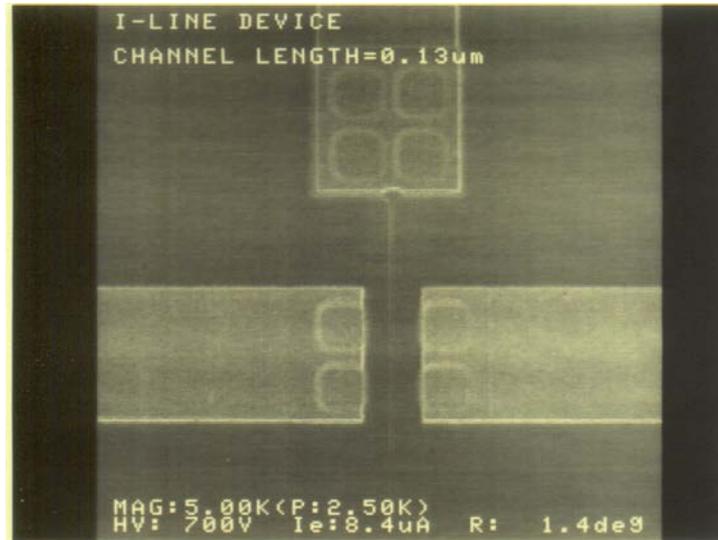
NDL 已成功利用 I5+ 製造 TFT 元件，閘極線寬達 $0.35\ \mu\text{m}$ ，與 E-beam mix-matching 達 80nm 。I-line 於孤立線 (Gate) 解析線寬達 $0.25\ \mu\text{m}$ ，經 Ashing 可達 $0.13\ \mu\text{m}$ 。元件構造流程簡圖如下：



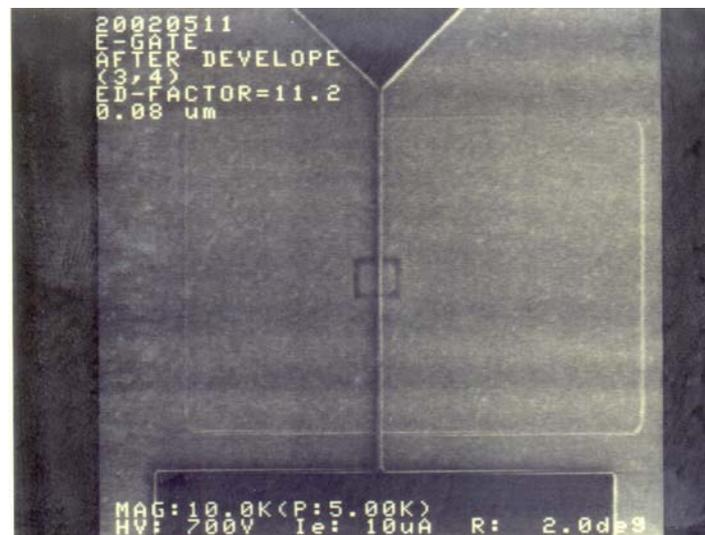
Implantation



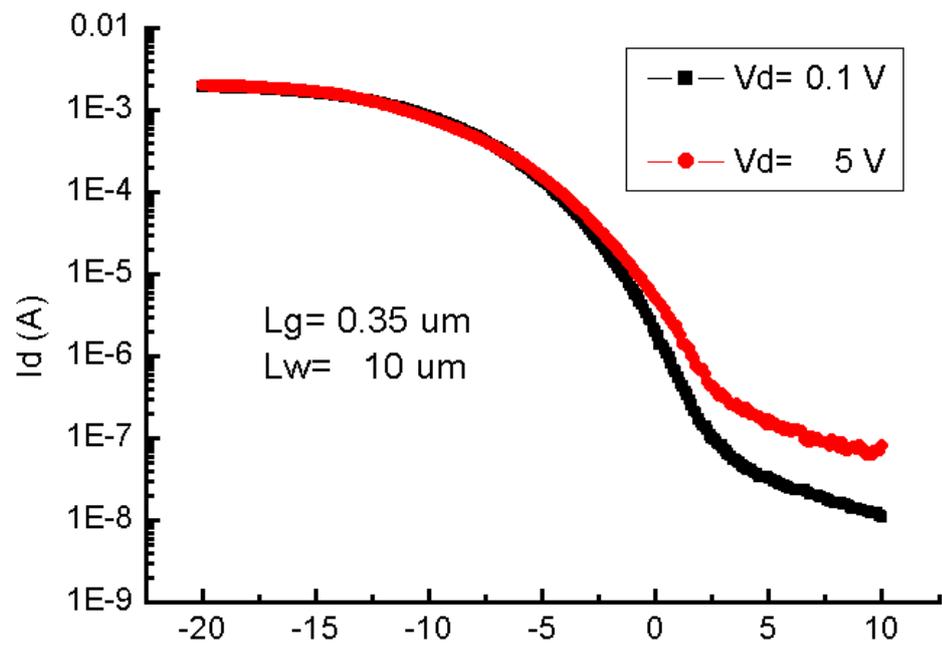
標準 I-line 閘極製程 $0.35\ \mu\text{m}$



I-line Ashing 閘極製程 $0.13\ \mu\text{m}$



I-line/E-beam mix-matching 閘極製程 80nm

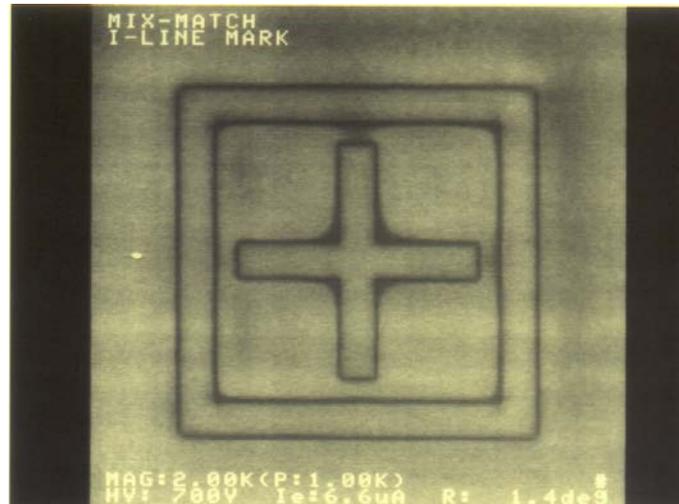


I-line TFT 元件 Id-Vg 圖

Mix-Matching E-Beam/I-line

NDL 開發不同系統曝光機台 mix-matching 技術，用以解決 E-beam 曝光機台曝光速度緩慢的問題，目前已經開發完成標準製程。以 Mix-Matching 製程完成元件將比 E-beam 製程快上許多，因其只在零層 (Zero Layer) 與閘極使用 E-beam，其餘均使用 I-line，而 I-line (100WPH) 的 Throughput 為 E-beam (10WPH) 的 10 倍以上，可充分利用 E-beam，避免 E-beam 使用者擁擠的狀況。

技術上是將 I-line 的 Global Mark 與 Chip mark 寫到 Chip 內 (原本是在切割道上)，由 E-beam 來寫。在零層圖形定義時，即定義每一個 Chip 的 Chip Mark (Both E-beam and I-line)，而後 I-line 根據零層圖形對應對準其他層圖形，而 E-beam 也是根據零層圖形對應對準其他層圖形，所以只要將零層圖形相關 Mark 的位置定義清楚，即可進行多層對準的 mix-matching。



I-line 在零層上的 TVPA Mark



E-beam 在零層的 Chip Mark