

NAR Labs
國家實驗研究院

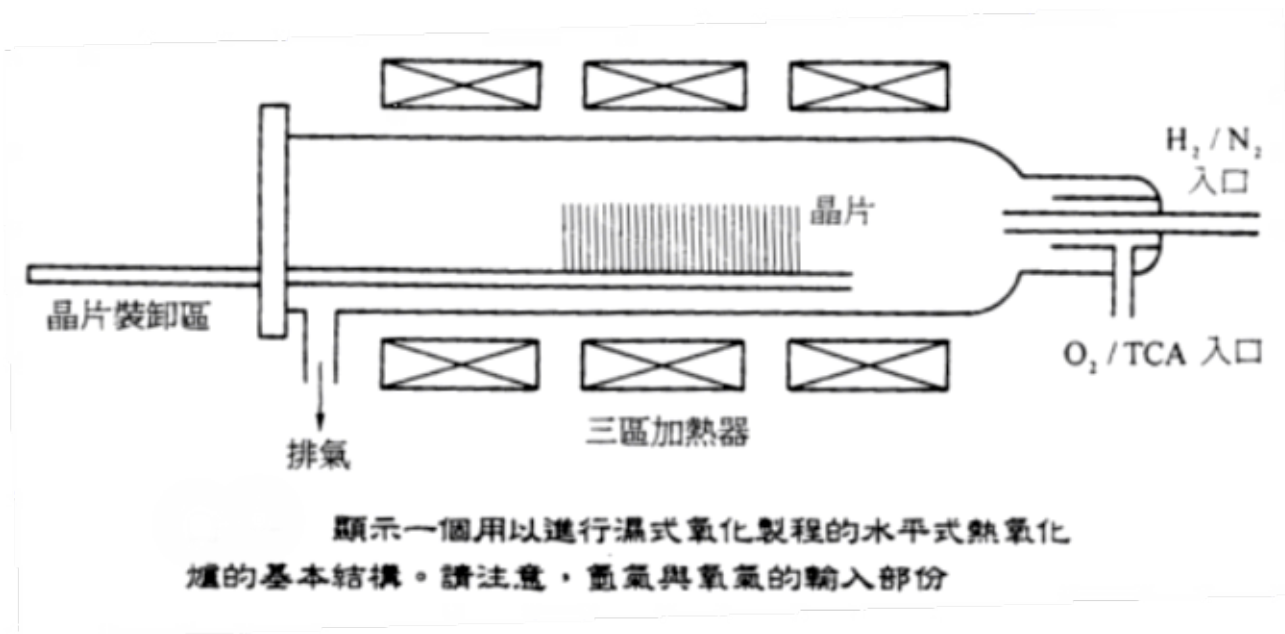
水平爐管 技術資料

• 水平爐管個別原理

- LPCVD Poly Si
- LPCVD Nitride
- LPCVD TEOS Oxide
- LPCVD Dope-AMM
- APCVD Wet Oxide
- APCVD Dry Oxide
- APCVD N⁺ Anneal
- APCVD P⁺ Anneal
- APCVD Drive In
- APCVD H₂-SINTER

- 影響 Thermal Oxide Layer 電性的電荷來源
- 退火 (Annealing)

水平爐管個別原理



因爐管反應室(Quartz Tube)是藉由熱阻絲三區加熱，晶片在進出爐管時，其輸送速度不宜太快，使晶片因溫度變化過大的熱應力，導致破片。

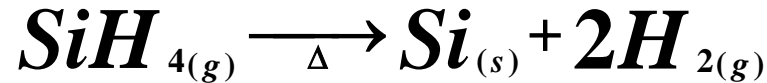
影響薄膜沈積速率的主要因素為溫度、壓力大小及氣體流量。

薄膜沈積機構發生順序：長晶→晶粒成長→晶粒聚結→縫道填補→沈積膜成長。

【LPCVD Poly Si】 壓力350mTorr

NAR Labs

多晶矽，溫度**620**°C，膜厚200~10,000Å；非晶矽，溫度**560**°C，膜厚200~10,000Å



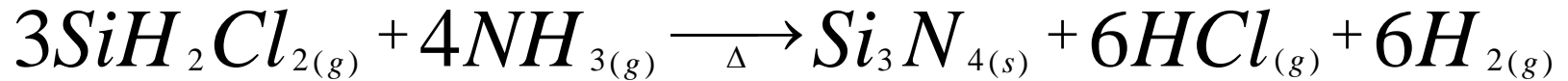
Polysilicon 是由多種不同 Crystal Orientation 的 Single Crystal of Silicon Grains 所組成純矽物質。就是介於單晶矽與 Amorphous Silicon 之間的一種純矽。

多晶矽內每個單晶晶粒彼此間，則是一種二次元 Defects-Grain Boundary 所隔開。因為晶粒界面內含有各種的 **Line Defects** 及 Point Defects，使雜質經這些晶粒界面而進行**擴散的能力**，將較經由晶粒內部的還來得快。就是基於這個因素，我們才會選擇對多晶矽進行摻雜，以改變其電性，並獲得符合製程所需求的“矽”。

LPCVD 沉積的多晶矽，本身 Resistivity 很高，可以做 IC 設計上的 **Resistor**。經 **Heavily Doped** 後的 Polysilicon，因電阻率可以降到 500~1200μΩ-cm 之間，可以成為 IC 元件的導電材料，如 閘極金屬層。而 Trench Structure 也可以用 LPCVD 多晶矽加以填入，做為 **DRAM** 的 **電容器**，或做為不同元件間的 **Isolation** 之用。而非晶矽主要用在 **TFT** 的 **Channel** 部份。

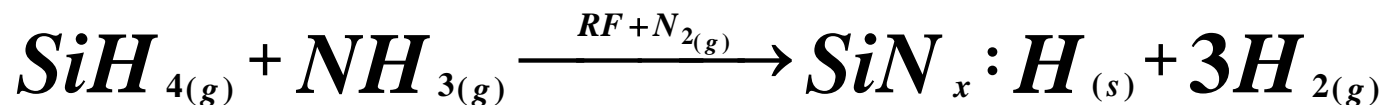
【LPCVD Nitride】

溫度780°C，壓力350mTorr，膜厚30~10,000Å



- 1.介電材料，應用為氧化層的蝕刻 **Mask**。
- 2.不易被氧滲透可做為 Field Oxide 製作時，防止晶片表面 Active Area 遭受氧化的 Masking Layer。即著名的 **LOCOS** 製程(Local Oxidation of Silicon)。
- 3.對鹼金屬離子防堵能力很好，且不易被 **Moisture** 所滲透，做為 Passivation。

因為 LPCVD Nitride 沈積溫度太高，因此 Passivation Layer 應用上，Nitride 都是以 PECVD 方式來製作。以下是 PECVD Nitride 的沈積反應式：



【LPCVD Nitride】

溫度780°C，壓力350mTorr，膜厚30~10,000Å

LPCVD Nitride 薄膜獨特的特性，就是高達 10^{10} dyne/cm² 以上的拉伸應力 (Tensile Stress)，其薄膜厚度不宜超過一定範圍，以免發生 Crack。

以 PECVD 法所沉積的 Nitride 則沒有這個困擾，因為我們可以藉由 RF 電力的調整，來控制離子對沉積薄膜的 Bombardment，使 SiN_x 薄膜的拉伸應力調降。

特性	LPCVD	PECVD
沉積溫度(°C)	650~800	250~400
操作壓力(mTorr)	100~1000	1000~5000
主要成份	Si ₃ N ₄	SiN _x :H
密度(g/cm ³)	2.8~3.1	2.3~3.2
折光率	2.0	1.9~2.1
介電常數	6~7	6~9
應力(dyne/cm ²)	>10 ¹⁰ (拉伸)	+2x10 ⁹ ~-5x10 ⁹

【LPCVD TEOS Oxide】

溫度700°C，壓力350mTorr，膜厚30~10,000Å



TEOS(Tetra-Ethyl-Ortho-Silicate) 四氧乙基矽酯或正矽酸乙酯，室溫常壓下為液體，使用時需適當加熱以提高其飽和蒸氣壓(約在 40°C~70°C 左右，**NDL 60°C**)。

因 LPCVD TEOS Oxide 的 **Step Coverage** 能力甚佳，已廣泛為半導體業界所採用，如 **Spacer**(2500Å)。以及複晶矽之間的介電質(Interpoly Dielectrics 簡稱 IPD)，含 BPSG 底下之 Barriered Layer，金屬層間的介電質(InterMetal Dielectrics 簡稱 IMD)，**保護層**(Passivation，5500Å)。

【LPCVD TEOS Oxide】

溫度700°C，壓力350mTorr，膜厚30~10,000Å

二氧化矽在 VLSI 製程應用廣泛，從 MOS 製程第一個 Mask 開始。

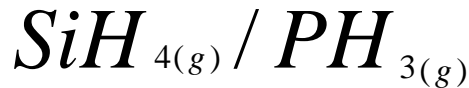
只不過在 CMOS 元件的製作初期，大多數 Oxide 介電層，都以 Thermal Oxidation 加以製作。

當金屬的沉積之後，將以標榜溫度低於 400°C 的 PECVD Oxide。

特性	LPCVD	PECVD
沉積溫度(°C)	650~750	300~400
操作壓力(mTorr)	100~1000	1000~5000
成份	SiO ₂	SiO ₂ :H
密度(g/cm ³)	2.2	2.3
折光率	1.43~1.46	1.47~1.5
介電常數	4.0	4.1~4.9
BOE(100:1)速率(Å/min)	30	400
應力(dyne/cm ²)	1~3x10 ⁹	-(1~5x10 ⁹)

【LPCVD Dope-AMM】

溫度560°C，壓力350mTorr，膜厚200~10,000Å



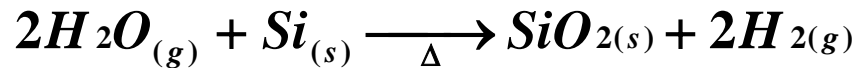
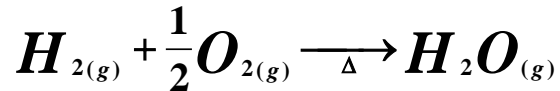
Dope-AMM 摻入雜質的方式，是在長多晶矽時直接加入摻入雜質氣源於反應氣體中，而直接長 n-type 或 p-type 多晶矽。

這種方法雖然直接，但是因為膜厚控制，摻入雜質均勻度，以及沈積速率，都會因摻入雜質量的不同而有所改變，一般而言，加 B_2H_6 來長 p-type 多晶，會造成沈積速率的增加，而用來長 n-type 的 PH_3 及 AsH_3 ，則會降低沈積速率。

而且晶粒大小，方向也會因而改變。另外必須注意的是，在後續退火時或之前，表面必須蓋上一層氧化層，以避免摻入雜質由表面向外擴散，但是若多晶成長溫度夠高，且阻值夠低，則可省去高溫度退火。

【APCVD Wet Oxide】

溫度980°C，膜厚300~10,000Å



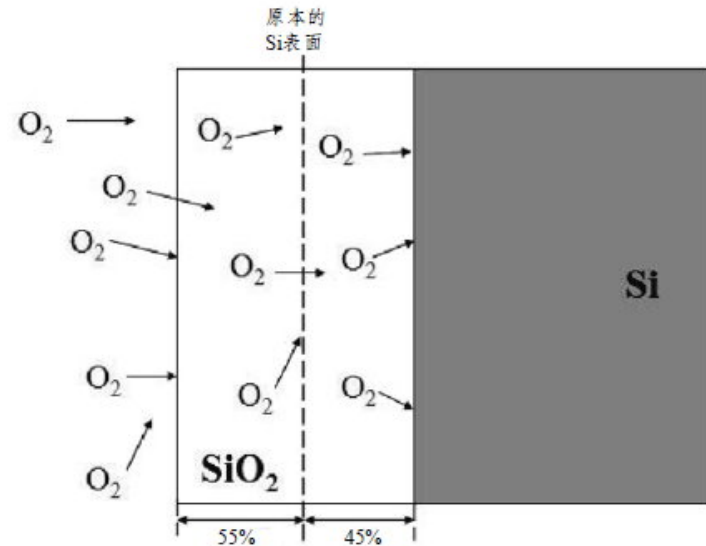
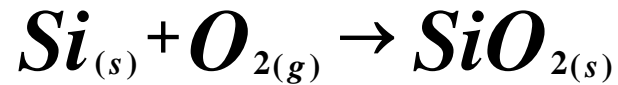
通入氧氣對氫氣的比例為 1.3~1.5，**必須小於 2**，且較高的爐管溫度，可避免未反應氫氣累積，發生**氫爆**。氫氧點火是靠氣體通入高溫 Torch(石英材質)，Torch 溫度需高於 **650°C**，而點火後維持在 **350°C~850°C** 之間。

當所需的氧化層厚度很厚，且對氧化層**電性要求不高**時，濕式氧化法**氧化速率較快**，可以節省製程所需要的時間，主要的應用如 LOCOS 的 Field Oxide(5500Å)、犧牲氧化層。

矽氧化後，以 **N₂O** 或 NH₃ 等氣體，將剛形成的 SiO₂ 進行「**Nitridation**」以減少 SiO₂ 層內一些未完全鍵結的鍵結數量，以提升 SiO₂ 層的電性或是在 SiO₂ 裡加入少量的氟，也可以幫助改善傳統熱氧化 SiO₂ 層一些性質。

【APCVD Dry Oxide】

溫度800°C 或900°C，膜厚30~800Å



乾式氧化法長出的 SiO_2 具較佳氧化層電性。若所需 SiO_2 層電性品質要求高或所需厚度不厚時，都以乾式氧化法來製作 SiO_2 。如 Gate Oxide 及 Pad Oxide(300Å)。

雜質或電荷改變 MOS 元件開關的臨界電壓 V_t ，並降低 MOS 的 Breakdown Voltage 及縮短與 Reliability 相關的 “Time-Dependant Dielectric Breakdown(TDDB)”等(即壽命減低)。因此閘氧化層製作，必須避免不必要的電性改變。

【APCVD Anneal】

【APCVD N⁺ Anneal】

溫度400°C~1100°C

【APCVD P⁺ Anneal】

溫度600°C~950°C

將被退火材料置於高溫一段時間，利用熱能使材料內原子有能力進行晶格位置重排，以降低材料內的 Defect Density。主要的缺陷有 Grain Boundary，Dislocation 及各種 Point Defects 等。

半導體材料是一種電子元件的應用，因此只要材料或薄膜所承受的應力不會導致晶片彎曲或薄膜 Peeling，基本上並不注意它的強弱。但是，因為材料的缺陷或結構會影響其本身的電性，因此退火在半導體製程上的應用，主要在恢復或改善材料電子性質。主要退火製程有後離子植入的退火及金屬矽化物的退火等。

N⁺ Anneal 是指 V 族(As、P)摻雜；P⁺ Anneal 是指 III 族(B)摻雜。

【APCVD Drive In】

Drive-In : 1100°C

Drive-In(趨入)在表面形成1700Å Oxide，然後1100°C 高溫下 4~6 小時，經高溫將離子趨入至深度 $2\mu\text{m}\sim 3\mu\text{m}$ ，形成 N Well或P Well

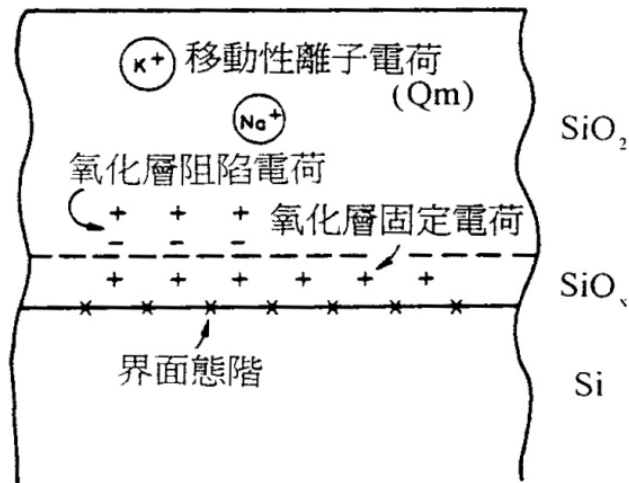
【APCVD H₂-SINTER】

溫度300°C~700°C

NARLabs

鍍上金屬鋁後，鋁和矽的接觸(Contact)會很差，**提高金屬連線的阻值**。
通入 **5%H₂/N₂** (或氫的同位素**氘氣 D₂**)，溫度 400°C，30分鐘，可填補未飽和鍵，使鋁和矽有較佳的接觸。

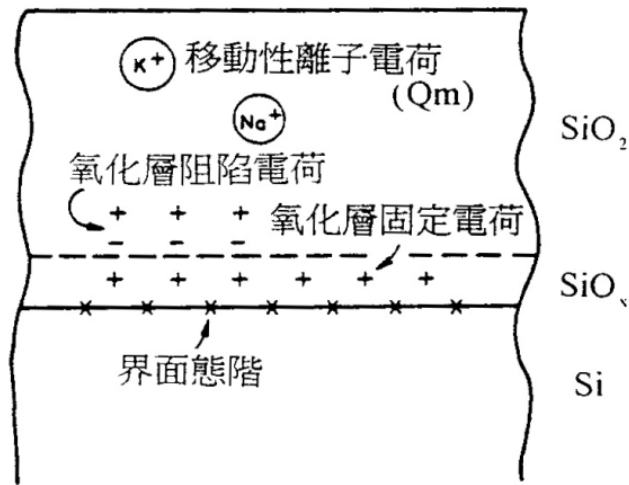
影響 Thermal Oxide Layer 電性的電荷來源



顯示四種主要的氧化層電荷在氧化層裏的相對位置

- (1) 界面態階
(Interface state)
- (2) 固定氧化層電荷
(Fixed Oxide Charge)
- (3) 氧化層阻陷電荷
(Oxide Trapped Charge)
- (4) 移動性離子電荷
(Mobile Ion Charge)

影響 Thermal Oxide Layer 電性的電荷來源



顯示四種主要的氧化層電荷在氧化層裏的相對位置

(1) 界面態階

形成原因：Si 與 SiO_2 界面的不連續性及 Unsaturated Bondings 所產生的電荷。

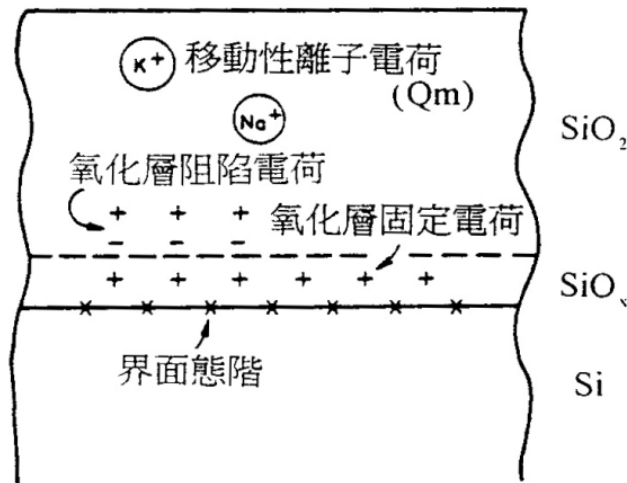
解決方法：適當 Annealing，或使用低阻陷 $\langle 100 \rangle$ 面矽晶片底材，降低電荷濃度。

(2) 固定氧化層電荷

形成原因：離 Si- SiO_2 界面不遠處，且在 Si 與 SiO_2 的 Transition Region 內。主要是因為製程控制所產生的。

解決方法：藉由氧化製程的調整或是退火，來減低其影響力。

影響 Thermal Oxide Layer 電性的電荷來源



顯示四種主要的氧化層電荷在氧化層裏的相對位置

(3) 氧化層阻陷電荷

形成原因：無特定的分佈位置，主要是 MOS 操作時所產生的電子或電洞，被氧化層內的雜質或未飽和鍵捕捉所造成的。

解決方法：藉適當的退火來降低未飽和鍵及缺陷的濃度。

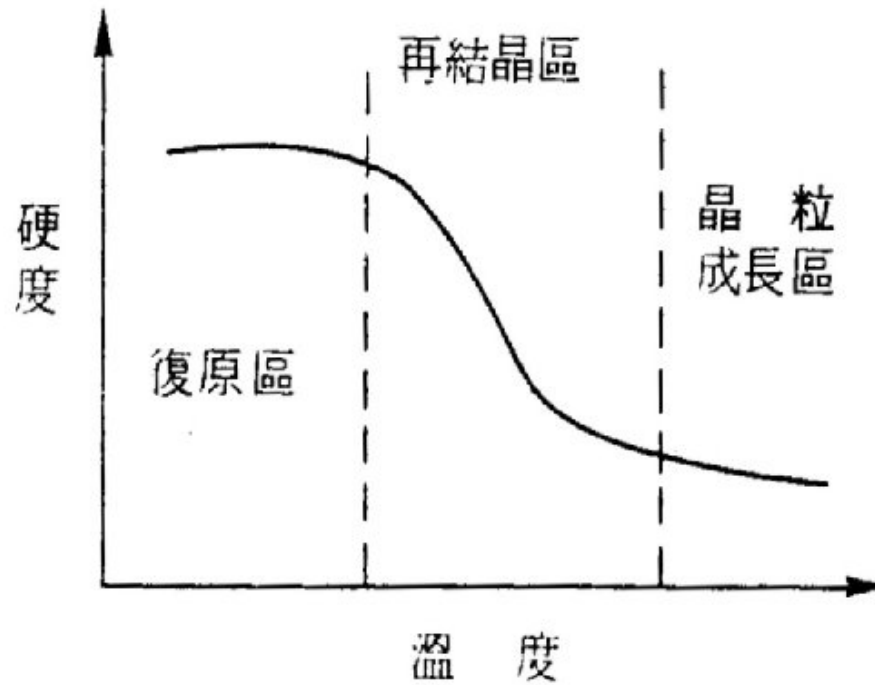
(4) 移動性離子電荷

形成原因：這些金屬雜質的主要來源有：爐管的 Quartz、製程氣體及光阻裏的不純物等。

解決方法：鈉及鉀等鹼金屬雜質，可藉由矽氧化製程時，反應氣體加入 HCl 來 Get，使 SiO₂ 層內的鹼金屬離子因 Cl 被 Neutralized。但 HCl 具強腐蝕性，故採用三氯乙烷(Trichloroethane 簡稱 TCA)等腐蝕性與毒性較 HCl 緩和的 Chlorine-Contained Compounds 替代 HCl。不過 TCA 致癌，所以目前改用 Trans L/C。

Trans L/C：二氯乙烯

退火(Annealing)



退火 (Annealing) 在金屬冶煉上，是應用廣泛的材料加工技術。利用熱能將物體內產生內應力的缺陷消除，所施能量將增加晶格原子及缺陷在物體內的振動及擴散，使原子排列重整，物體藉由缺陷消失進行再結晶，甚至成為單晶，大致可依溫度高低區分為三階段：(1) Recovery (2) Recrystallization (3) Grain Growth。

退火(Annealing)

(1) Recovery(復原)：

物體退火溫度較低時，因熱能提供的能量僅足讓**缺陷**(如差排)進行分佈重整達較穩定狀態，但對晶粒結構無法產生變化。所以對物體內應力，只能做些微調降，且影響物體的機械性質不大。

(2) Recrystallization(再結晶)：

若退火溫度調高，使物體內缺陷得因原子結構重排而降低，進而產生 Dislocation Free 缺陷的晶粒。經再結晶後，物體內應力因**差排及缺陷密度的降低**而急遽下降。

(※**材料的硬度，通常就是本身內應力強弱的一種指標。**)

(3) Grain Growth(晶粒成長)：

若溫度再升高，使再結晶階段所形成的晶粒有足夠能量克服晶粒間的 Surface Energy 時，**晶粒**將開始在消耗小晶粒的過程中**成長**壯大。

隨著晶粒邊界等面缺陷消失(因晶粒成長，會使小晶粒的晶粒邊界消除，以便加以合併)，物體內應力將進一步降低。整個退火製程的速率，取決於進行退火的溫度。**溫度愈高，物體進行退火所需時間也愈短。**

退火製程目的，是要消除物體因內應力或外來因素(Implant)所導致的缺陷，使物體結構得以重整。在 VLSI 半導體製程上的應用，也就集中在一些需要做材質結構重整步驟上。如：Silicide 退火及晶片進行後離子植入的退火修補等。