

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：P413P507

※申請日期：P4.11.10

※IPC 分類：H01L 21/336, 21/30, 1381B/02
(2006.01)

一、發明名稱：(中文/英文)

互補金氧半-微機電系統的製程/CMOS-MEMS PROCESS

二、申請人：(共1人)

姓名或名稱：(中文/英文)

財團法人國家實驗研究院國家晶片系統設計中心/National Applied
Research Laboratories National Chip Implementation Center

代表人：(中文/英文) 周景揚

住居所或營業所地址：(中文/英文)

新竹市科學園區展業一路 26 號 7 樓

7 Fl., No. 26, Jhanye 1st Rd., Hsinchu City, Taiwan 300, R.O.C.

國籍：(中文/英文) 中華民國/TW

三、發明人：(共3人)

姓名：(中文/英文)

1. 蕭富元/XIAO, FU-YUAN

2. 莊英宗/JUANG, YING-ZONG

3. 邱進峰/CHIU, CHIN-FONG

國籍：(中文/英文)

1. 中華民國/TW

2. 中華民國/TW

3. 中華民國/TW

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

美國、2004/11/12、60/626,923

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

一種與互補金氧半完全相容的微機電系統多計劃晶片的製程，包括在一晶片表面上塗佈一層厚光阻，圖案化該光阻以定義一微加工區域，以及在該微加工區域中進行一微加工以形成懸浮微結構。

六、英文發明摘要：

A fully CMOS compatible MEMS multi-project wafer process comprises coating a layer of thick photoresist on a wafer surface, patterning the photoresist to define a micromachining region, and performing a micromachining in the micromachining region to form suspended microstructures.

七、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

- | | |
|-----|---------------|
| 100 | 流程圖 |
| 110 | 進行標準的 CMOS 製程 |
| 120 | 塗佈一層厚光阻 |
| 130 | 定義微加工區域 |
| 140 | 形成懸浮微結構 |
| 150 | 移除光阻 |

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

九、發明說明：

【發明所屬之技術領域】

本發明係有關一種互補金氧半(Complementary Metal Oxide Semiconductor; CMOS)微機電系統(Micro Electro-Mechanical System; MEMS)的製程，特別是關於一種與互補金氧半完全相容的微機電系統多計劃晶片的製程。

【先前技術】

表層和塊體的微加工技術結合現行的積體電路(IC)技術愈來愈具有作為系統晶片(System-on-Chip; SoC)設計平台的潛力，使得新的想法可以透過成熟的製造服務快速實現而不必擔心複雜的製程。由 G. K. Fedder 等人在 1996 年 MEMS'96 第 13 頁至第 18 頁中首次提出的高深寬比(high-aspect-ratio)CMOS-MEMS 製程技術中，頂部的金屬層在進行後段蝕刻(post etching)製程時作為一硬遮罩，直到今日此技術仍應用在製造機械式濾波器、加速器、迴轉儀、光調變器及射頻(RF)被動元件。然而習知以頂部金屬層作為硬遮罩的 CMOS-MEMS 製程存在許多缺點，例如包含靜電放電(ESD)電路的輸入/輸出(I/O)墊在離子轟擊時被破壞、CMOS 電晶體在沒有金屬層覆蓋處被損壞、浮接的金屬層導致較多不被容許的寄生效應，尤其是在 RF 電路中、CMOS 保護層被移除導致濕氣與灰塵更容易使電路性能劣化、以及在 CMOS 製程中頂部金屬層僅作為後段乾

蝕刻製程的硬遮罩而不能做為互相連接或保護元件之用，此外，沒有證據顯示在後段乾蝕刻製程中存在的熱循環作用不會影響電路性能。

因此，一種解決上述問題且與 CMOS 完全相容的改良後的製程流程，乃為所冀。

【發明內容】

本發明的目的，在於提供一種與 CMOS 完全相容的 MEMS 製程。

根據本發明，在一製程中，一晶片經過一標準的 CMOS 製程後，塗佈一層厚的光阻(PR)於其上並圖案化該光阻以定義一微加工區域，以及在該微加工區域中進行一微加工步驟以形成懸浮微結構於其中。

本發明在後段蝕刻製程中利用光阻取代金屬層作為遮罩，避免在習知製程中以金屬層為遮罩導致元件性能劣化及結構受損等缺點，此外，本發明的製程與標準的 CMOS 製程完全相容，可在不改變 CMOS 生產線的情況下實施，因此增加了製程上的彈性與降低成本。

【實施方式】

圖 1 係本發明 CMOS-MEMS 製程的流程圖 100，在步驟 110 中，首先進行一 $0.35\ \mu\text{m}$ 雙層多晶矽四層金屬(double-poly quadruple-metal; 2P4M)的金屬多晶矽化物(polycide)製程，如圖 2 所示，在一基板 210 上形成電子電

路 310 與微結構 270，MEMS 組件的微結構 270 由多晶矽 220 與 222、金屬層 230、232、234 與 236、以及介電質 240 所構成，電子電路 310 包括主動元件及其對應的接觸窗 250、連接窗 260 以及作為內連線的金屬層 234 與 236，第一多晶矽層 220 形成電子電路 310 且與第二多晶矽層 222 不互相連接，接觸孔介於金屬層 236 與主動元件的源極、汲極及閘極之間，通孔介於數個金屬化層 230-236 之間，接觸孔及通孔中填滿鎢栓塞以形成接觸窗 250 與連接窗 260，數個金屬化層 230-236 由鋁構成，多層內連線製程包含化學機械研磨(CMP)以達到平坦的表面，介電質 240 除了保護層外包括氮化物與氧化物，在本實施例中介電質 240 為氧化物，所有的多晶矽層 220 與 222 以及金屬層 230-236 若不是使用在微結構 270 中則可被相同厚度的氧化物取代，步驟 120 在晶片表面上塗佈一層厚光阻覆蓋在金屬層 230 與介電質層 240 之上，包括在微結構 270 的上方。

接著在步驟 130 中，光阻經由一額外的光罩，例如 RLS，被圖案化作為一硬遮罩以保護 MEMS 組件與電子電路不會在隨後的乾蝕刻製程中受損，如圖 3 所示，已圖案化的光阻 280 亦用於定義微加工區域 290，多晶矽與金屬不允許出現在 RLS 區域 300 中，在本實施例中，RLS 的最小與最大線寬分別為 $4\ \mu\text{m}$ 與 $10\ \mu\text{m}$ ，前者受限於介電質層 240 的厚度，後者受限於光阻 280 對介電質 240 的蝕刻選擇比，懸浮結構的寬度與 RLS 的線寬比不大 1。

在步驟 140 中，經由一包括介電質溝渠蝕刻與矽下切的微加工步驟釋出所有由 RLS 定義的微結構，其包括使用已圖案化的光阻 280 為後段蝕刻製程的硬遮罩，以在後段蝕刻製程中經由溝渠蝕刻與基板下切釋出在微加工區域 290 中所有的微結構，在此步驟中，光阻 280 保護 MEMS 元件的組成與電子電路免於在後段蝕刻製程中受損。在步驟 150 中，移除作為硬遮罩的光阻 280 完成 CMOS-MEMS 製程，如圖 4 所示，在基板 210 上形成懸浮微結構 320，微加工區域 290 與鄰近的主動元件之間的距離大於 $20\ \mu\text{m}$ 。

圖 5 係經由圖 1 的製程 100 所產生懸浮在基板上經微加工後的 RF 電感器，在本實施例中，介電質的厚度約為 $8\ \mu\text{m}$ 以及在後段蝕刻製程中總蝕刻深度約為 $10\ \mu\text{m}$ ，在此實施例中，介電質溝渠蝕刻被分成數次實施以降低基板的溫度，因此基板不斷受到熱循環作用直到後段製程結束，當介電質過厚時，將介電質溝渠蝕刻分成數次實施可以避免作為硬遮罩的光阻因基板的高熱或長時間的離子轟擊而過度焦化，如圖 6 所示，在後段蝕刻製程中基板邊緣(約 10mm 至 15mm)的光阻過度焦化且焦化的光阻殘留在基板上無法去除，如圖 7 所示，藉由最佳化上述製程的參數，將可減輕光阻焦化的現象。

由於無法避免熱循環作用，因而設計一 5.8GHz 低雜訊放大器(LNA)並比對在實施改良的後段製程之前(CMOS)和之後(CMOS-MEMS)的量測結果以進一步評估熱循環作

用對電路性能的影響。如圖 8 所示，LNA 400 的結構包括具有感應衰退(inductive degeneration)的二階共源極放大器，第一階 410 的閘極電感 432 與源極電感 438 用以提供在共振時需要的輸入電阻(50Ω)，第一階 410 的汲極電感 436 作為負載以增加高頻時的增益及調整中心頻率，第二階 450 的閘極電感 474 與源極電感 476 的功用有如二階之間的阻抗匹配及穩定電路，第二階 450 的汲極電感 472 使得輸出阻抗匹配至 50Ω ，其他的電感 430、434、470 與電容 420、422、460 用以模擬寄生效應，LNA 400 的操作頻率為 5.8GHz、總電流為 15mA、供應的電壓為 1.3V、因此消耗功率為 20mW，在 5.8GHz 分散參數的模擬結果指出反射損耗(S11)為 -12.7dB、穩定性(S22)為 -10.1 dB、以及增益(S21)為 10.3 dB。圖 9 顯示 S22 的量測結果，曲線 510 係實施後段製程之後的量測結果，曲線 520 係實施後段製程之前的量測結果，其清楚地顯示後段製程實施之前與之後的 S22 從 0GHz 到 10GHz 的量測結果一致，圖 10 係 5.8GHz LNA 400 的電路性能量測結果的總結，包括 S11、S21、3GHz 到 10GHz 的雜訊指數(NF)、電壓駐波比(VSWR)、1dB 的增益壓縮點(P_{-1dB})、輸入與輸出的第三階截取點(IIP3 與 OIP3)、以及消耗功率(P_{oewr})，顯示在實施後段製程之前與之後從 0GHz 到 10GHz 的參數量測結果彼此間具有良好的匹配，且在 LNA 400 實施後段製程之後沒有產生額外的雜訊源，雖然存在熱循環作用，周圍的電路仍然可用且保持相同的性能，證明此後段製程與 CMOS 製

程完全相容。

【圖式簡單說明】

圖 1 係根據本發明的 CMOS-MEMS 製程的流程圖；

圖 2 至 4 係經由圖 1 的流程圖在生產的過程中 CMOS-MEMS 微結構的剖面圖；

圖 5 係一經微加工後懸浮在基板上的 RF 電感器的示意圖；

圖 6 係在晶片邊緣的光阻過度焦化的示意圖；

圖 7 係後段製程經調整之後焦化光阻被移除的示意圖；

圖 8 係一證明熱循環作用之 LNA 的示意圖；

圖 9 係一 5.8GHz LNA 在實施後段製程之前與之後 S22 的量測結果；以及

圖 10 係一 5.8GHz LNA 在實施後段製程之前與之後電路性能的總結。

【主要元件符號說明】

100	流程圖
110	進行標準的 CMOS 製程
120	塗佈一層厚光阻
130	定義微加工區域
140	形成懸浮微結構
150	移除光阻

210	基板
220	多晶矽
222	多晶矽
230	金屬層
232	金屬層
234	金屬層
236	金屬層
240	介電質
250	接觸窗
260	連接窗
270	微結構
280	光阻
290	微加工區域
300	RLS 區域
310	電子電路
320	懸浮微結構
400	LNA
410	第一階段
420	電容
422	電容
430	電感
432	閘極電感
434	電感
436	汲極電感

438	源極電感
450	第二階段
460	電容
470	電感
472	汲極電感
474	閘極電感
476	源極電感
510	曲線
520	曲線

十、申請專利範圍：

1. 一種 CMOS-MEMS 的製程，包括下列步驟：
塗佈一層厚光阻在一晶片的表面，該晶片具有經一標準的 CMOS 製程形成的一微結構；
圖案化該光阻以定義出一包含該微結構的微加工區域；
以該圖案化的光阻為硬遮罩在該微加工區域實施一微加工以形成一懸浮微結構；以及
移除該光阻。
2. 如請求項 1 的製程，其中該圖案化該光阻的步驟包括使用一 RLS 光罩定義出一 RLS 區域。
3. 如請求項 2 的製程，其中該懸浮微結構的寬度與該 RLS 的線寬比不大於 1。
4. 如請求項 2 的製程，其中該 RLS 的線寬介於 $4\ \mu\text{m}$ 到 $10\ \mu\text{m}$ 之間。
5. 如請求項 1 的製程，其中該微加工區域與一鄰近的主動元件之間的距離大於 $20\ \mu\text{m}$ 。
6. 如請求項 1 的製程，其中該微加工包括一蝕刻製程。
7. 如請求項 6 的製程，其中該蝕刻製程包括一乾蝕刻。
8. 如請求項 6 的製程，其中該蝕刻製程包括一溝渠蝕刻及一基板下切。
9. 如請求項 8 的製程，其中該溝渠蝕刻包括數個循環

以避免該光阻過度焦化。

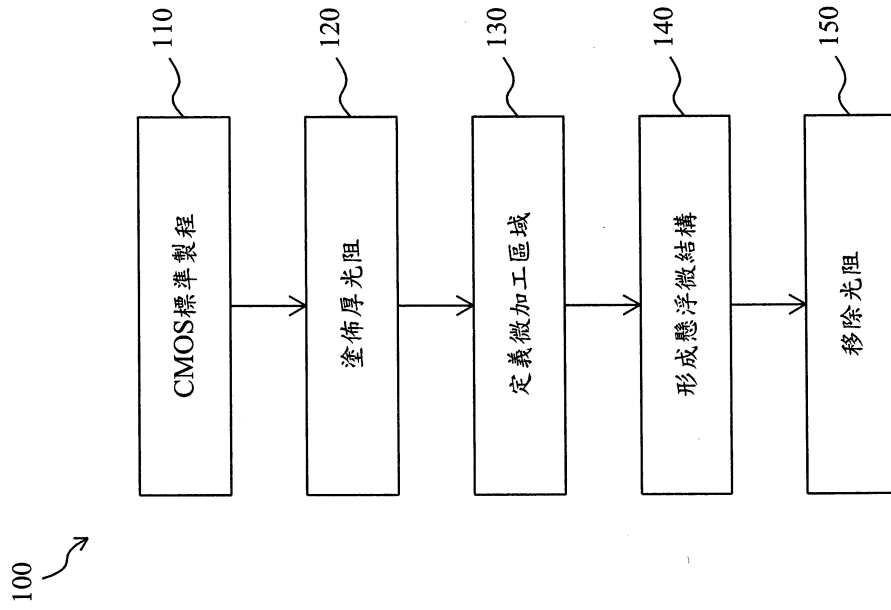


圖1

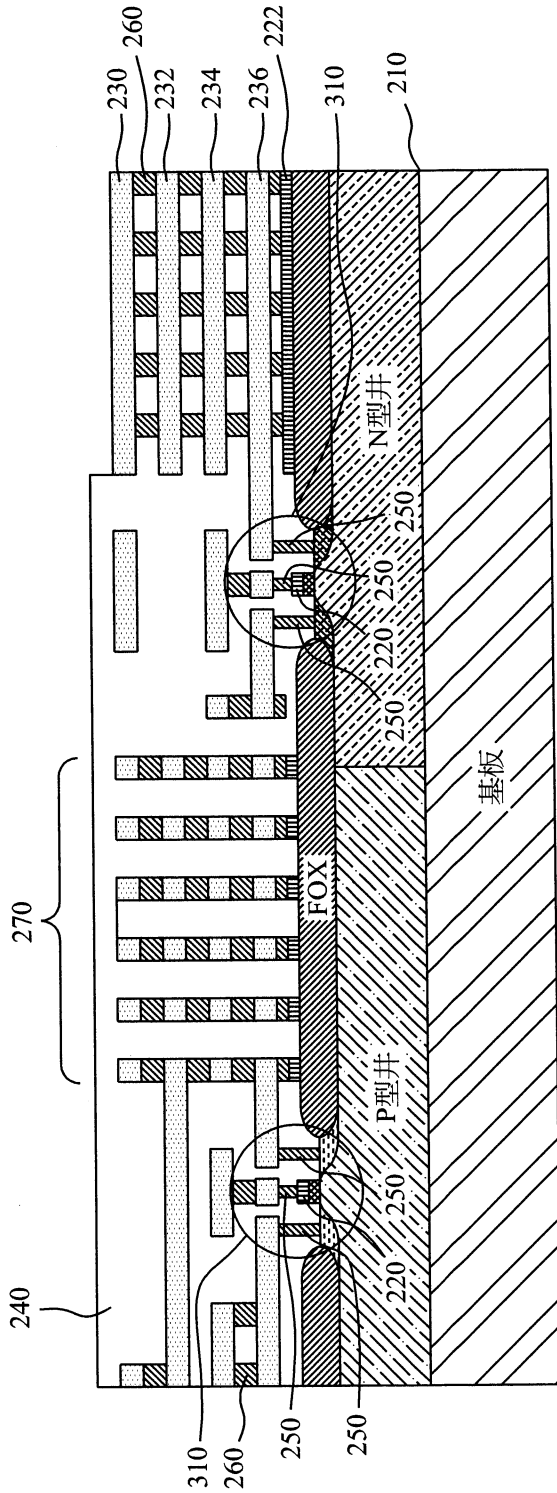


圖2

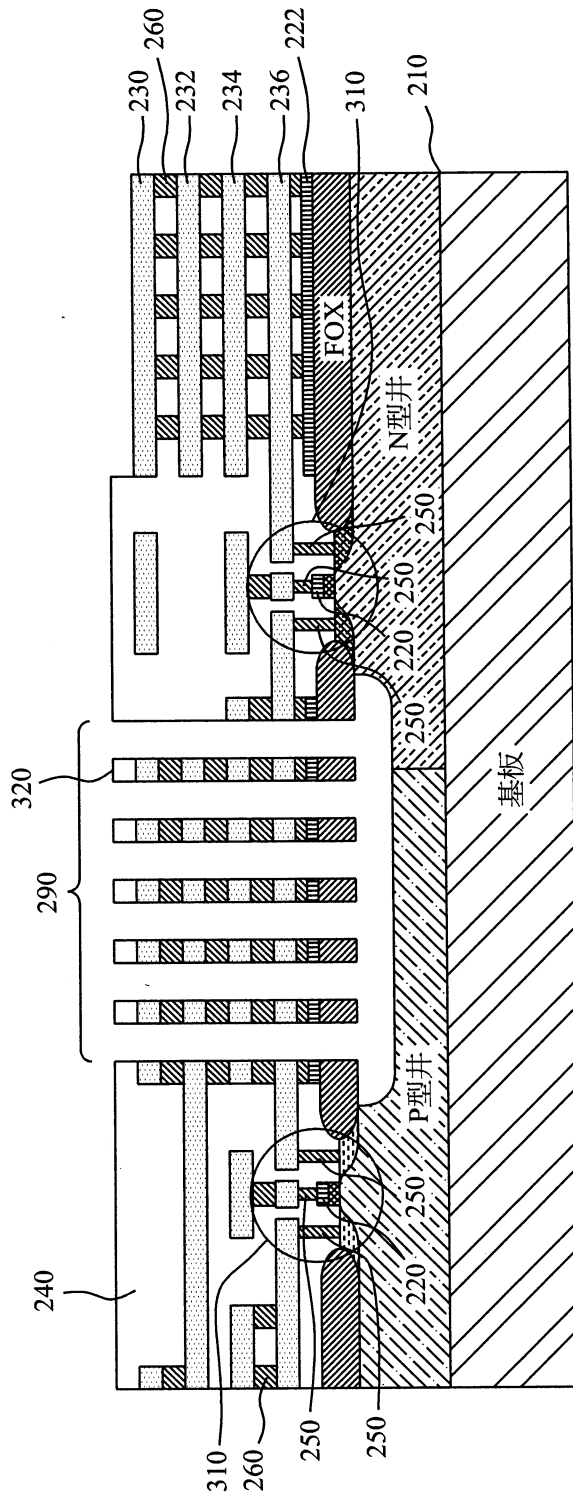


圖4

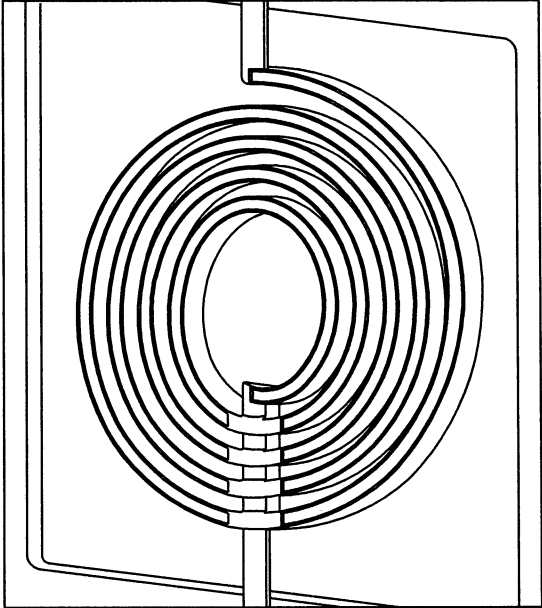


圖5

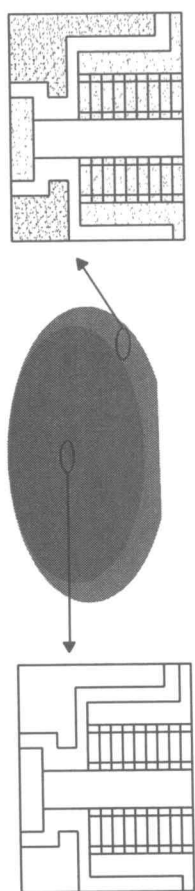


圖6

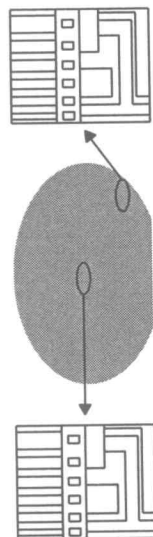


圖7

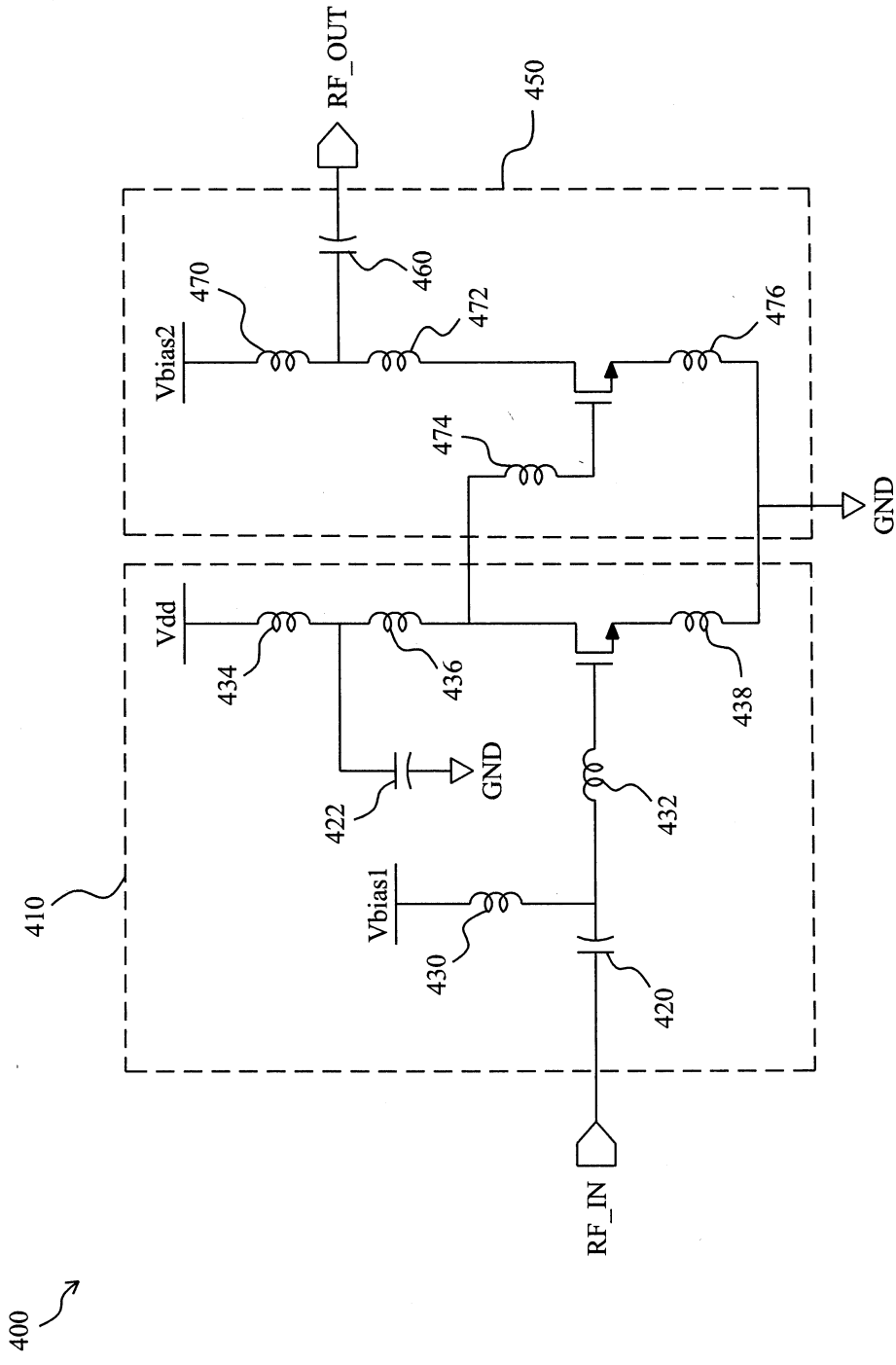


圖 8

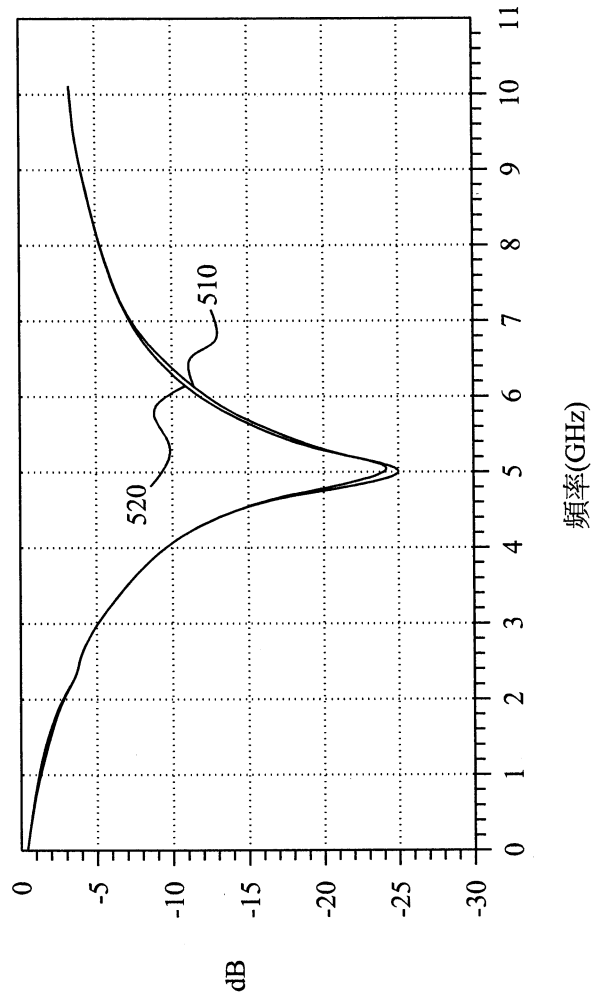


圖9

	實施後製程之前	實施後製程之後
S11	-10.953dB	-10.866dB
VSWR	1.79	1.80
S21	6.624dB	6.874dB
P _{-1dB}	-8.7dBm	-9.2dBm
IIP3	5.2dBm	4.85dBm
OIP3	10dBm	10dBm
NF	5.61dB	5.69dB
Power	21.14mW	21.38mW

Fig. 10