

Update: 2024/04/09

D35 可允許之 DRC 錯誤列表

TSMC policy is DRC clean

TSMC 0.35UM MIXED SIGNAL 2P4M POLYCID E 3.3V/5V PDK Version : V2.7a

CALIBRE DRC COMMAND FILE : CM35P_5V_4M.24b (12/07/2007)

CM35P_5V_4M.ant.24b (12/07/2007) ANT Rule 需驗證

建議使用 Calibre v2016 以上版本，如遇到以下未列出之 DRC 錯誤，請先聯絡工程師討論後，再填寫“晶片製作需違反 DRC 申請表”，我們將詢問製程廠商是否能接受所申請違反的錯誤，請勿自行合理化錯誤，且認為填寫申請表即可違反，若沒有先與工程師討論而直接違反，該下線案件會因 DRC 錯誤而列入不受理！

此製程的 DRC 錯誤，需修正不得違反：

DRC	說明
PO.R.1 M1.R.1 M2.R.1 M3.R.1 M4.R.1	Full chip Density 過低是不允許的，請修正。 使用 TSMC I/O PAD cells 時，會進行 I/O PAD 置換，佈局中盡力填補 Dummy Cell 後，密度尚不足，則錯誤可忽略；未填補者，視為 DRC Error。
PO2.S.3	本製程並無提供高電阻 Poly2，誤用 HR50DMY、HR250DMY、HR500DMY、HR1KDMY、HR2KDMY(54:1~54:5)等 Layer，需使用正確的 RPDUMMY(54:0)繪製 POLY2 電阻。

MEMS 製程的 DRC 錯誤，請使用 MEMS 製程之 DRC 檔案，僅需在設計內容電子檔中列出，並說明違反的原因，不需繳交“晶片製作需違反 DRC 申請表”

DRC	說明
LATL.3A LATL.3B	如為使用 PO and DIFF 當結構佈局時，此錯誤可忽略。 於電路電晶體佈局時，為 Latch-Up 問題，此錯誤則需除錯。
VERTEX_OFFGRID	建議格線最小間距為 0.025um。(可使用 Change grid 修改最小格線間距)
SKEW_EDGE	建議走線為 0 度、45 度、90 度，若有結構設計需求可違反。
CO.W.1 VIA1.W.1 VIA2.W.1 VIA3.W.1	因結構需求設計成長條狀 Contact 及 Via，線寬仍須遵守相關規範，若符合線寬規範，則可忽略此項錯誤。雖開放此 DRC 設計違反，設計者仍需考量違反有製程良率相關風險。
PO.R.1 M1.R.1 M2.R.1 M3.R.1 M4.R.1	因結構設計需求出現 Full chip density 過低的錯誤，請於其它空白區域填補 Dummy，須盡力避免此項錯誤產生。 不影響設計結構下，盡力填補 Dummy 後，若錯誤仍存在，則可忽略此項錯誤。

其它 DRC 錯誤，因 MEMS 結構設計因素而造成的 DRC 違反，請在下線申請截止前與 MEMS 工程師討論確認。

Others 製程的 DRC 錯誤，僅需在設計內容電子檔中列出，並說明違反的原因，不需繳交“晶片製作需違反 DRC 申請表”

DRC	說明
CB.R.1~4 CB.C.1~2 CB.S.1~4 CB.E.1~12 CB.W.1~4	Passivation 問題由於 RF 及其它線路需求，目前不要求 Error Free。但請盡力遵守 CB 系列錯誤，確保打線可行性與成功性。
AMS.1.M1 AMS.1.M2 AMS.1.M3 AMS.1.M4	TSMC I/O PAD cells 出現 DRC 錯誤時，才可以忽略。 有使用 TSMC I/O PAD cells，下線申請表→ 特殊選項，勾選使用 TSMC I/O Pad 當 AMS 系列錯誤，為後端佈局造成，此錯誤需除錯。
NW.W.2 NW.S.1 CO.E.1 CB.E.5、CB.E.7、CB.E.9	STC 3.3V I/O PAD cells 出現 DRC 錯誤時，才可以忽略。 VDDI_33、VDDE_33、VSSE_33、AIN_33 VDDI_33、VDDE_33、VSSE_33、AIN_33 BI33_XX、DIN_33 ALL PADS
NW.W.2 NW.S.1 CO.E.1 CB.E.5、CB.E.7、CB.E.9	STC 5V I/O PAD cells 出現 DRC 錯誤時，才可以忽略。 C_VDDI、C_VDDE、C_VSSE、AIN_05 C_VDDI、C_VDDE、C_VSSE、AIN_05 BI05_XX、DIN05_01 ALL PADS
ANT Rule	請評估 ANT violations 對元件可靠度影響，可能因為 rule violations 造成的 damage。

其它注意事項

- 1.在晶片中如需利用金屬層寫字時請一樣遵守 Design Rule。
- 2.驗證 DRC 時，Hierarchical 與 Flat 選項都需驗證，以避免產生 DRC 錯誤。並確認所有的 DRC 錯誤，於設計上是否都不可避免，以免因 DRC 錯誤而列入不受理名單，此部份可與工程師討論。

更新歷史

2023/03/31 修正顯示頁面內容，新增 MEMS 可允許錯誤。

2024/04/09 新增 TSMC policy is DRC clean，注意事項。

新增 ANT Rule，注意事項。

新增 TSMC I/O PAD Cells，注意事項。