

[\[回到目錄\]](#)

PCB 製作
Altium 軟體使用者手冊
TSRI PCB Fabrication Altium User Manual

國研院半導體中心，李莉娥

版本更動訊息

版本	生效日	維護者	更動訊息
1.0	2013.12.05	李莉娥 陳炳松	原始版本。 由原先的「PCB 製作設計規範手冊」及「PCB 製作相關佈局軟體說明」的 Altium 軟體相關章節整理而來。
1.1	2014.02.11	李莉娥	A. 第 3.1.4 及 3.2.2.1 節，鋪銅到金屬最小距離=0.22mm，修正為 FR4 板=0.22mm，RO 板=0.17mm。 B. 第 3.6 節，機械加工層，增加設計規範資料 (參照 PCB 製作設計規範手冊)。
1.11	2014.03.07	李莉娥	A. 第 2.2.1 節，表 2.2.1-1 PCB 製作圖層命名，Altium CAM 輸出附檔名一項，修改，Top 由 GTO 改成 GTL，Bottom 由 GBO 改成 GBL。
2.0	2014.06.13	李莉娥	A. 刪除 2012 之前版本的訊息。 B. 第 3.5.3 節，增加文字層「PCB 辨別碼」一節。 C. 修改 3.6.2.1 節文字，同於「PCB 製作設計規範手冊」3.2 版的修改。 D. 第 4.4.1 節，圖 4.4.1-1 增加 Mechanical 1 層的輸出勾選。 E. 第 4.4.3 節，增加說明，Drill Table 重疊到佈局圖的處理方式。 F. 第 5 章，CAM 檔再檢視，增加以 Altium 打開 .GTL 等檔案之說明。
2.1	2014.06.24	李莉娥	A. 第 4.4.1 節，圖 4.4.1-1 去掉 Mechanical 1 層的輸出勾選。
2.11	2014.08.15	李莉娥	A. 參考資料，7.1、7.2、7.7、7.8 網址修改或增加。
2.2	2021.12	李莉娥	A. 晶片中心改為半導體中心。

目錄

前言	1
1. Altium Template 檔案下載	3
2. 疊構及圖層設定	4
2.1 疊構及材料參數設定	4
2.2 佈局圖層設定	8
2.2.1 圖層命名	8
2.2.2 圖層設定	10
3. PCB 製作設計規範的 Altium 設定	11
3.1. 設定前的準備	11
3.1.1 設計規範環境設訂	11
3.1.2 設計規範驗證 (DRC) 的執行及結果	14
3.1.3 設計規範驗證前的設定—Net Name	17
3.1.4 設計規範總結	20
3.1.5 設計規範常見問題	23
3.2 金屬	26
3.2.1 金屬線	26
3.2.1.1 金屬線設計規範	26
3.2.1.2 金屬線設計規範—Altium 設定方法	27

3.2.2 鋪銅	30
3.2.2.1 鋪銅設計規範	30
3.2.2.2 鋪銅設計規範—Altium 設定方法	31
3.2.3 鋪銅—Altium 之產生方法	33
3.3. 鑽孔及孔環	36
3.3.1 鍍銅貫孔 (PTH) 及孔環	36
3.3.1.1 鍍銅貫孔 (PTH) 及孔環設計規範	36
3.3.1.2 鍍銅貫孔 (PTH) 及孔環設計規範—Altium 設定方法	38
3.3.2 非鍍銅貫孔 (NPTH)	47
3.3.2.1 非鍍銅貫孔 (NPTH) 設計規範	47
3.3.2.2 非鍍銅貫孔 (NPTH) 設計規範—Altium 設定方法	48
3.3.2.3 非鍍銅貫孔 (NPTH)—Altium 設定方法	48
3.3.3 橢圓形孔 (PTH 及 NPTH)	49
3.3.3.1 橢圓形孔 (PTH 及 NPTH) 設計規範	49
3.3.3.2 橢圓形孔 (PTH 及 NPTH) 設計規範—Altium 設定方法	50
3.4 防焊層	51
3.4.1 防焊層設計規範	51
3.4.2 防焊層設計規範—Altium 設定方法	52
3.5 文字層	55

3.5.1 文字層設計規範	55
3.5.2 文字層設計規範—Altium 設定方法	58
3.5.3 「PCB 識別碼」標示	60
3.6 機械加工層	61
3.6.1 成形邊框 KO 及定位孔	61
3.6.1.1 成形邊框 KO 及定位孔 設計規範	61
3.6.1.2 成形邊框 KO 及定位孔 設計規範—Altium 設定方法	62
3.6.2 製作尺寸及外圍邊框 ME	64
3.6.2.1 製作尺寸及外圍邊框 ME 設計規範	64
3.6.2.2 製作尺寸及外圍邊框 設計規範—Altium 設定方法	68
4. Altium Gerber 及 Drill 的設定及輸出	69
4.1 輸出 Gerber Data 時的格式確認	69
4.2 輸出 Gerber data 時之相關參數設定	70
4.3 輸出 NC Drill Data (鑽孔資料) 時之相關參數設定	73
4.4 輸出 Gerber data 時之其他相關參數設定	75
4.4.1 輸出 Gerber data 時, Layers 相關參數設定	75
4.4.2 輸出 Gerber data 時, Drill Drawing 相關參數設定	76
4.4.3 輸出 Gerber data 時, 產生 Drill Table 的設定	77
5. CAM 檔再檢視	79

[\[回到目錄\]](#)

6. 中英名詞對照.....	83
7. 參考資料	85

前言

此手冊為國研院半導體中心 (NARLabs TSRI) 提供給學研界，**採用 Altium 軟體的使用者**，用以設計 FR4 兩層板、四層板及 RO4003 高頻兩層板 PCB 所須的技術資料，必須搭配所公布的「[PCB 製作設計規範手冊](#)」上的參數加以設定。以下為本手冊內容：

本手冊內容
Template 檔案下載
PCB 的疊構 (Stacking) 設定
材料的特性參數的設定
佈局圖層 (Layer) 的設定
設計規範 (Layout Design Rules, DR) 的設定
設計規範驗證 (Design Rules Checking, DRC)
Gerber 檔及 Drill 檔的輸出
CAM* (Computer Aided Manufacturing) 檔案的再次檢驗

表 0-1 本手冊內容

使用 Altium 軟體，**請使用 2012 (含) 之後的版本**，建議勿使用之前的版本，因為易發生無法完全採用 template 設定之狀況，產生眾多 DRC 錯

[\[回到目錄\]](#)

誤。如要使用，一定要確認是否符合所有設計規範，否則易因 DRC 沒過遭退件。

2015/03之後，不再更新任何 文件及 template，請改用PADS 軟體。

1. Altium Template 檔案下載

有關於半導體中心 PCB 製作 Altium 軟體 (2012 版) 的樣板檔案 (template) 下載，位於 [TSRI 網頁 > 製程服務 > PCB 製作 > 申請前準備](#)。

如果只使用 PCB 佈局，可以將相對應製程的 [xxx template.PcbDoc](#) (2012 及之後的版本) 佈局檔更名後使用，裡面包含疊構、圖層、PCB 辨別碼、定位孔、成形邊框 KO、外圍邊框 ME、鑽孔孔徑表 (Drill Table) 及設計規範的設定。

如果是使用 Schematic 轉換到 PCB 佈局，則必須自行設定疊構、圖層、PCB 辨別碼、定位孔、成形邊框 KO、外圍邊框 ME、鑽孔孔徑表 (Drill Table) 等，並且下載設計規範檔案 [RU1 PCB.rul](#) (2012 及之後的版本)。

但由於此軟體無法完全設定 TSRI 的設計規範，請參閱 3.1.4 節「設計規範總結」及本中心網頁之「[PCB 製作 設計規範手冊](#)」明訂的各種佈局設計規範，在佈局時稍加注意。

2. 疊構及圖層設定

2.1 疊構及材料參數設定

以 FR4 四層板 為例，疊構圖及厚度如下所示：

疊構圖及厚度資料如下圖、表所示：

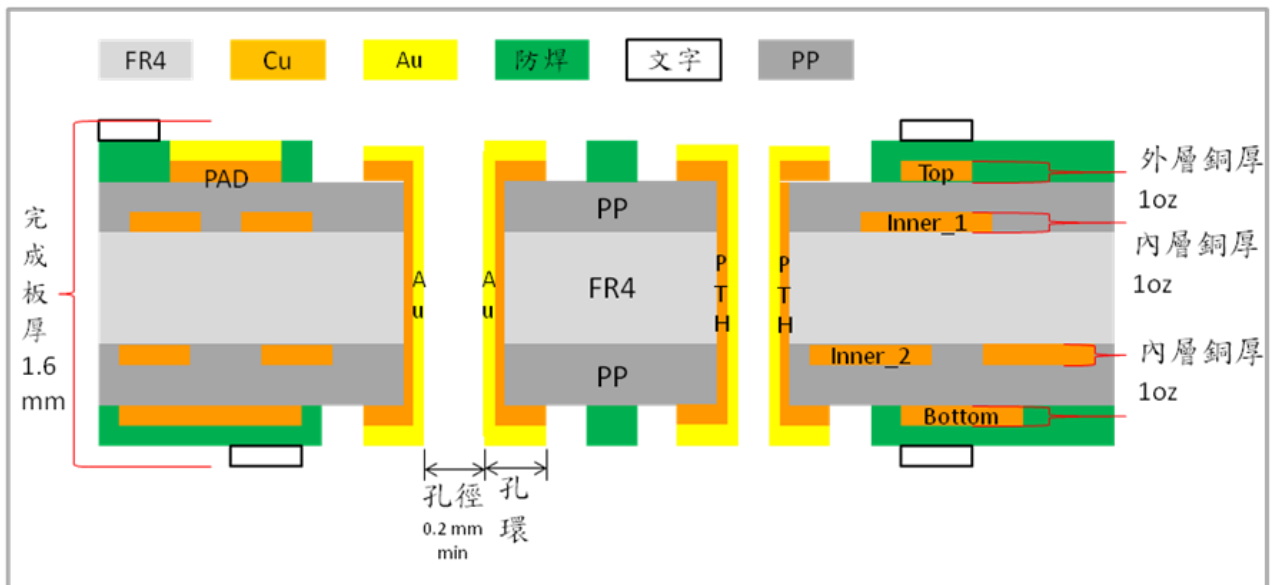


圖 2.1-1 FR4 四層板疊構示意圖

疊構厚度資料：

項目	數值
防焊層厚度	0.025 mm
銅厚_Top 層	0.035 mm
PP 層厚	0.20 mm
銅厚_Inner_1 層	0.035 mm

[\[回到目錄\]](#)

FR4 基板厚	1.03 mm
銅厚_Inner_2 層	0.035 mm
PP 層厚	0.20 mm
銅厚_Bottom 層	0.035 mm
防焊層厚度	0.025 mm
完成板厚	1.6 mm
完成板厚_誤差	10%

表 2.1-1 FR4 四層板疊構厚度及介電係數表

材料參數

材料參數絕大部分由廠商提供，如果沒有提供的數值，會有註解標示，如 @* 等，並且附上維基百科的數值供參考，設計者可斟酌使用。材料參數如下所示：

FR4 介電質特性參數

材料	FR4	FR4 的 PP	防焊層
介電係數	4.4	4.4	3.63
介電係數_誤差	±10%	±10%	±10%
δ / Loss tangent [@]	0.017	0.017	0.0266

[[回到目錄](#)]

玻璃轉化溫度 (Tg*)	140°C	140°C	-
Tg_誤差	+15%	+15%	-

表 2.1-2 FR4 介電質特性參數

@ loss tangent: =DF (Dissipation factor), <http://en.wikipedia.org/wiki/Fr4> ,
http://en.wikipedia.org/wiki/Dissipation_factor

*Tg: glass transition temperature, or glass temperature < Tm (melting T)

Altium 軟體中疊構及材料參數的設定：

指令 PCB Window > Design > Layer Stack Manager，如下圖所示：

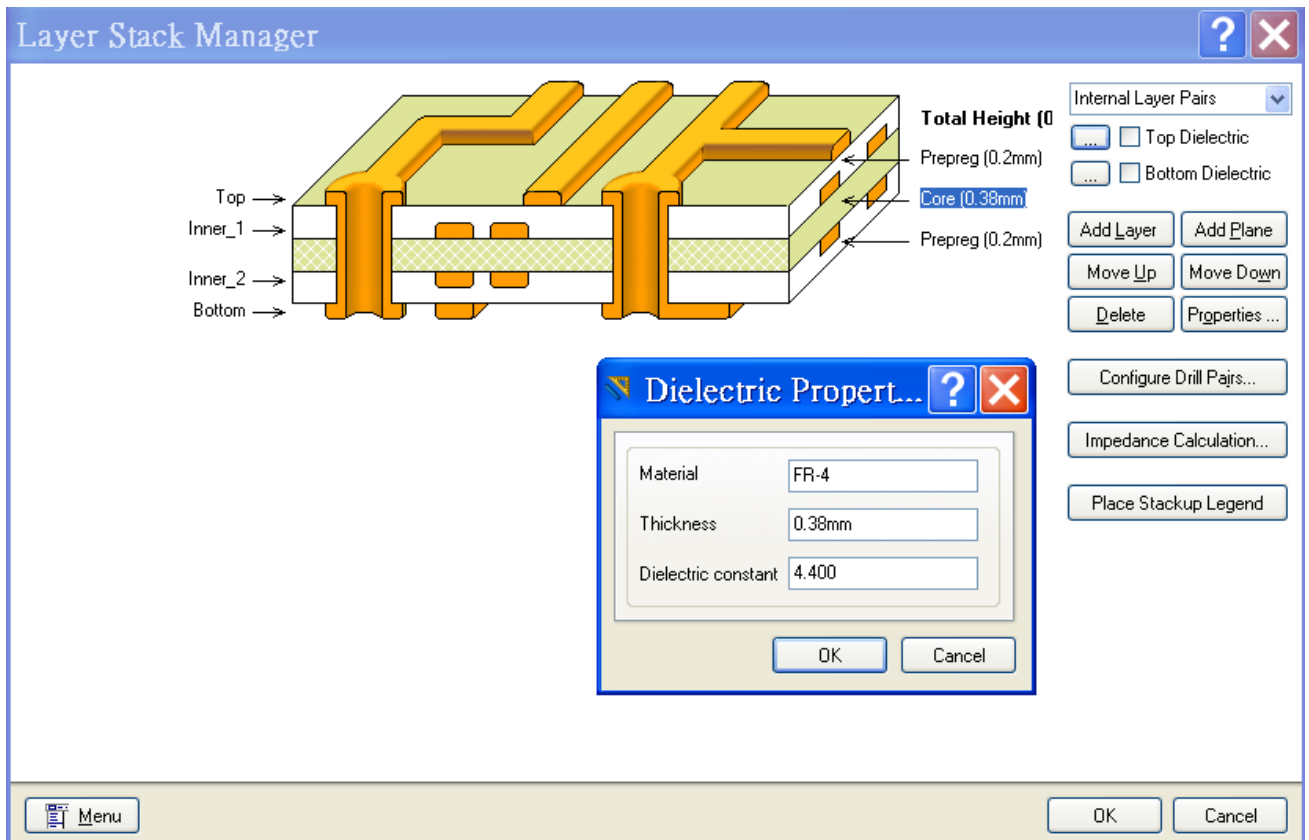


圖 2.1-2 FR4 四層板 Altium 軟體疊構設定

選擇 “Internal Layer Pairs” 選項，再依次將各層的材質、厚度、介電係數

[\[回到目錄\]](#)

如上方表格的數值填入。

其他各種不同 PCB 製程的參數，請見本中心之「[PCB 製作 設計規範手冊](#)」。

2.2 佈局圖層設定

2.2.1 圖層命名

疊構圖如前一節所示，總結來說，有外部金屬層為 Top，依實體結構順序為內部金屬層 L1、L2，及另一層外部金屬層為 Bottom。外加鑽孔層、雙層防焊層、雙層文字層及兩層機械加工層。

TSRI 建議名稱、圖層功能及 Altium CAM 輸出附檔名如下表所示：

TSRI 建議名稱	圖層功能	Altium CAM 輸出 附檔名
Top	外部金屬層 Top	GTL
Inner_1 (四層板有)	內部金屬層 L1	G1
Inner_2 (四層板有)	內部金屬層 L2	G2
Bottom	外部金屬層 Bottom	GBL
Solder_top	防焊層_top	GTS
Solder_bottom	防焊層_bottom	GBS
Silkscreen_top	文字層_top	GTO
Silkscreen_bottom	文字層_bottom	GBO
Nc_drill	鑽孔層	TXT GD1、GG1
KeepOut	成形邊框*等機械加工	GKO

[\[回到目錄\]](#)

	之用	
Mechanical 1	外圍邊框**之用	GM1

表 2.2.1-1 PCB 製作圖層命名

*成形邊框： PCB 實體外圍的成形輪廓線

**外圍邊框：PCB 製作尺寸的成形輪廓線，外圍邊框和成形邊框之間的空間為機械加工工具在處理成形邊框時的製作損耗。

2.2.2 圖層設定

指令 PCB Window > Design > Board Layers and Colors，以及其勾選項目，如

下圖所示：

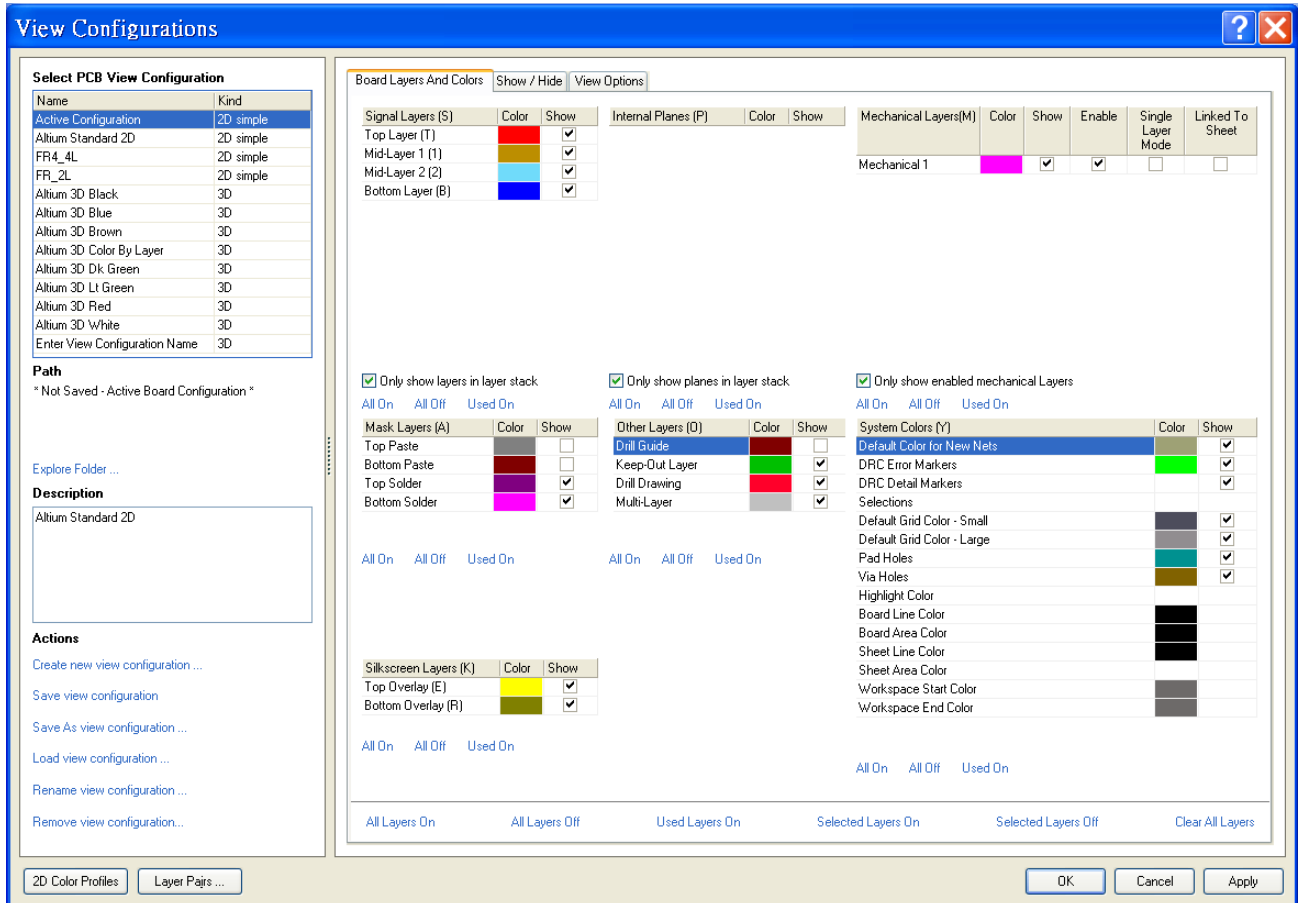


圖 2.2.2-1 FR4 四層板 Altium 軟體圖層設定

3. PCB 製作設計規範的 Altium 設定

3.1. 設定前的準備

3.1.1 設計規範環境設訂

指令 PCB Window > Design > Design Rules，在最上方選取 Design Rules 後

按右鍵，選 Import，再選擇要更動的 rules (如下圖深藍色橫條，共 9 項，

放大圖如圖 3.2.1-2，或全選 **ctrl-A**)，OK 之後，再選 RU1_PCB.rul 檔案

(2012 之後的版本才可行)。

Name	Priority	Enabled	Type	Category	Scope	Attributes
AssemblyTestpoint	1	<input checked="" type="checkbox"/>	Assembly Testpoint Style	Testpoint	All	Under Comp - Allow S
AssemblyTestPointUsage	1	<input checked="" type="checkbox"/>	Assembly Testpoint Usage	Testpoint	All	Testpoint - One Require
ComponentClearance	1	<input checked="" type="checkbox"/>	Component Clearance	Placement	All - All	Horizontal Clearance = 1
DifferentialRouting	1	<input checked="" type="checkbox"/>	Differential Pairs Routing	Routing	All	Pre Gap = 0.254mm t
DR.DR.S.1	1	<input checked="" type="checkbox"/>	Hole To Hole Clearance	Manufacturing	All - All	Hole To Hole Clearance
DR.KO.E.1	1	<input checked="" type="checkbox"/>	Clearance	Electrical	OnLayer(Multi-Layer)	Clearance = 0.5mm
DR.MT.VIA.1	1	<input checked="" type="checkbox"/>	Routing Via Style	Routing	All	Pre Size = 0.8mm Pre
DR.W.1.2	1	<input checked="" type="checkbox"/>	Hole Size	Manufacturing	All	Min = 0.2mm Max = 6
FabricationTestpoint	1	<input checked="" type="checkbox"/>	Fabrication Testpoint Style	Testpoint	All	Under Comp - Allow S
FabricationTestPointUsage	1	<input checked="" type="checkbox"/>	Fabrication Testpoint Usage	Testpoint	All	Testpoint - One Require
Fanout_BGA	1	<input checked="" type="checkbox"/>	Fanout Control	Routing	IsBGA	Style - Auto Direction
Height	1	<input checked="" type="checkbox"/>	Height	Placement	All	Pref Height = 12.7mm
LayerPairs	1	<input checked="" type="checkbox"/>	Layer Pairs	Manufacturing	All	Layer Pairs - Enforce
MT.SO.E.1	1	<input checked="" type="checkbox"/>	Solder Mask Expansion	Mask	All	Expansion = 0.12mm
MT.W.1	1	<input checked="" type="checkbox"/>	Width	Routing	All	Pref Width = 0.4mm M
MT.W.2	1	<input checked="" type="checkbox"/>	Minimum Annular Ring	Manufacturing	All	Min = 0.12mm
NetAntennae	1	<input checked="" type="checkbox"/>	Net Antennae	Manufacturing	All	Net Antennae Tolerance
PasteMaskExpansion	1	<input checked="" type="checkbox"/>	Paste Mask Expansion	Mask	All	Expansion = 0mm
PlaneClearance	1	<input checked="" type="checkbox"/>	Power Plane Clearance	Plane	All	Clearance = 0.22mm
PlaneConnect	1	<input checked="" type="checkbox"/>	Power Plane Connect Style	Plane	All	Style - Relief Connect
PolygonConnect_1	1	<input checked="" type="checkbox"/>	Polygon Connect Style	Plane	All	Style - Relief Connect
RoutingCorners	1	<input checked="" type="checkbox"/>	Routing Corners	Routing	All	Style - 45 Degree Min
RoutingLayers	1	<input checked="" type="checkbox"/>	Routing Layers	Routing	All	TopLayer - Enabled Mic
RoutingPriority	1	<input checked="" type="checkbox"/>	Routing Priority	Routing	All	Priority = 0
RoutingTopology	1	<input checked="" type="checkbox"/>	Routing Topology	Routing	All	Topology - Shortest
ShortCircuit	1	<input checked="" type="checkbox"/>	Short-Circuit	Electrical	All - All	Short Circuit - Not Allow
SilkToSikClearance	1	<input checked="" type="checkbox"/>	Silk To Silk Clearance	Manufacturing	All - All	Silk to Silk Clearance =
SK.MT.S.1	1	<input checked="" type="checkbox"/>	Silkscreen Over Component Pa	Manufacturing	All - All	Silkscreen Over Compo
SD.W.1	1	<input checked="" type="checkbox"/>	Minimum Solder Mask Sliver	Manufacturing	All - All	Minimum Solder Mask S
UnConnectedPin	1	<input checked="" type="checkbox"/>	Un-Connected Pin	Electrical	All	(No Attributes)
UnRoutedNet	1	<input checked="" type="checkbox"/>	Un-Routed Net	Electrical	All	(No Attributes)
Fanout_LCC	2	<input checked="" type="checkbox"/>	Fanout Control	Routing	IsLCC	Style - Auto Direction
MT.KO.E.1	2	<input checked="" type="checkbox"/>	Clearance	Electrical	All	Clearance = 0.4mm
PolygonConnect	2	<input checked="" type="checkbox"/>	Polygon Connect Style	Plane	All - All	Style - Relief Connect
DR.MT.S.1	3	<input checked="" type="checkbox"/>	Clearance	Electrical	OnLayer(Multi-Layer)	Clearance = 0.3mm
Fanout_SOIC	3	<input checked="" type="checkbox"/>	Fanout Control	Routing	IsSOIC	Style - Auto Direction
Fanout_Small	4	<input checked="" type="checkbox"/>	Fanout Control	Routing	(CompPinCount < 5)	Style - Auto Direction
MT.S.2	4	<input checked="" type="checkbox"/>	Clearance	Electrical	InPolygon	Clearance = 0.22mm
Fanout_Default	5	<input checked="" type="checkbox"/>	Fanout Control	Routing	All	Style - Auto Direction
MT.S.1	5	<input checked="" type="checkbox"/>	Clearance	Electrical	All - All	Clearance = 0.12mm

[\[回到目錄\]](#)

圖 3.1.1-1 Altium 設計規範設定—Import Files

請注意，因為 Altium 無法輸入所有 TSRI 的設計規範，使用者佈局時，仍請參照「[PCB 製作 設計規範手冊](#)」做設計。

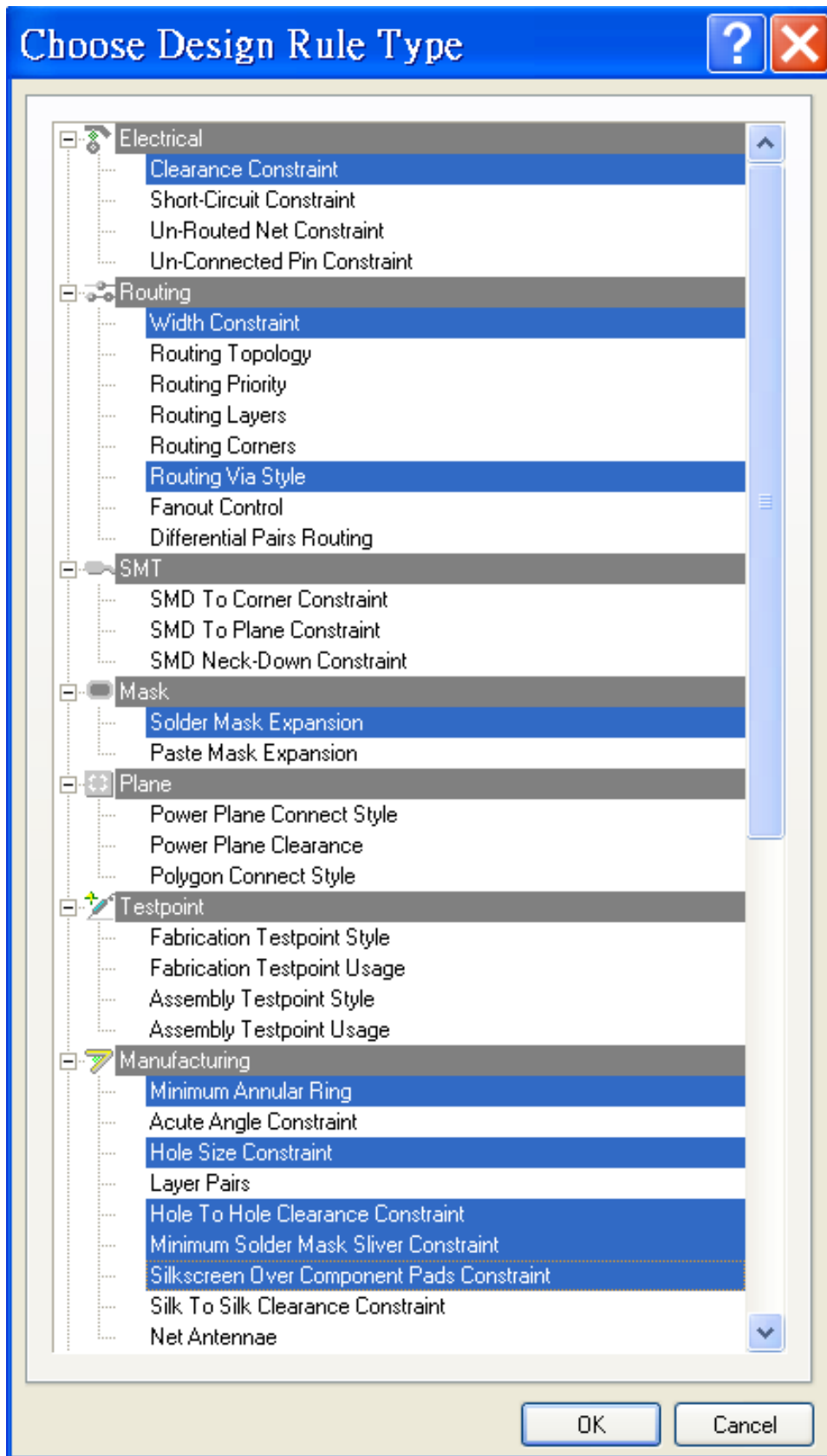


圖 3.1.1-2 Altium 設計規範 Import

[\[回到目錄\]](#)

3.1.2 設計規範驗證 (DRC) 的執行及結果

DRC 執行，指令 [PCB Window > Tools > Design Rules Check > Rules To Check](#)，

按下左下角的「Run Design Rule Check」。要符合半導體中心所要求的設計規

範，必需勾選的項目，如下圖所示：

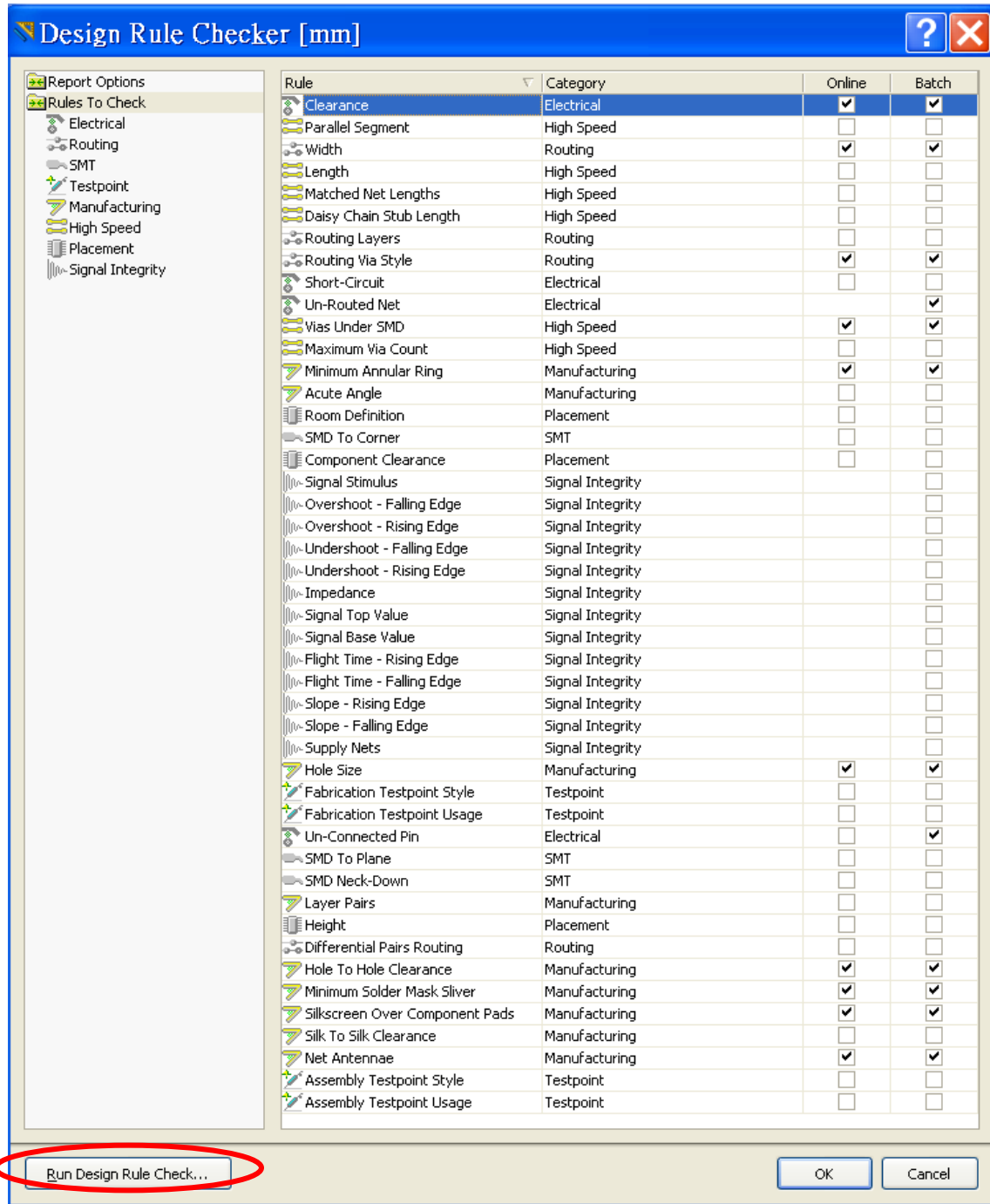


圖 3.1.2-1 執行 Altium 設計規範 (DRC) 設定

[\[回到目錄\]](#)

執行結果的報告檔：要看到右上角的無錯誤資訊。並將此 [xxx.html](#) 檔案上傳。

Design Rule Verification Report	
Date : 2013/10/2 Time : 下午 03:52:17 Elapsed Time : 00:00:00 Filename : D:\DXP_FILE\FR4_4\FR4_4L_template_1306_test.PcbDoc	Warnings : 0 Rule Violations : 0
Summary	
Warnings	Count
Total	0
Rule Violations	Count
Routing_Via (MinHoleWidth=0.2mm) (MaxHoleWidth=6mm) (PreferredHoleWidth=0.4mm) (MinWidth=0.44mm) (MaxWidth=200mm) (PreferredWidth=0.8mm) (All)	0
Clearance_Constraint (Gap=0.5mm) (OnLayer("Multi-Layer")) (OnLayer("Keep-Out Layer"))	0
Clearance_Constraint (Gap=0.22mm) (InPolygon) (All)	0
Minimum Solder Mask Sliver (Gap=0.12mm) (All) (All)	0
Clearance_Constraint (Gap=0.12mm) (All) (All)	0
Clearance_Constraint (Gap=0.4mm) (All) ((OnLayer("Keep-Out Layer")))	0
Power Plane_Connect Rule(Relief_Connect) (Expansion=0.508mm) (Conductor_Width=0.254mm) (Air_Gap=0.254mm) (Entries=4) (All)	0
Width_Constraint (Min=0.12mm) (Max=200mm) (Preferred=0.4mm) (All)	0
Hole_Size_Constraint (Min=0.2mm) (Max=6mm) (All)	0
Hole_To_Hole_Clearance (Gap=0.3mm) (All) (All)	0
Silkscreen Over Component Pads (Clearance=0.2mm) (All) (All)	0
Minimum Annular Ring (Minimum=0.12mm) (All)	0
Clearance_Constraint (Gap=0.3mm) (OnLayer("Multi-Layer")) (All)	0
Total	0

圖 3.1.2-2 執行 Altium 設計規範驗證無誤的結果

[\[回到目錄\]](#)

如果沒有產生報告檔，設定如下，就會有報告產生，指令為

Tools > Design Rule Check > 勾選 Create Report File :

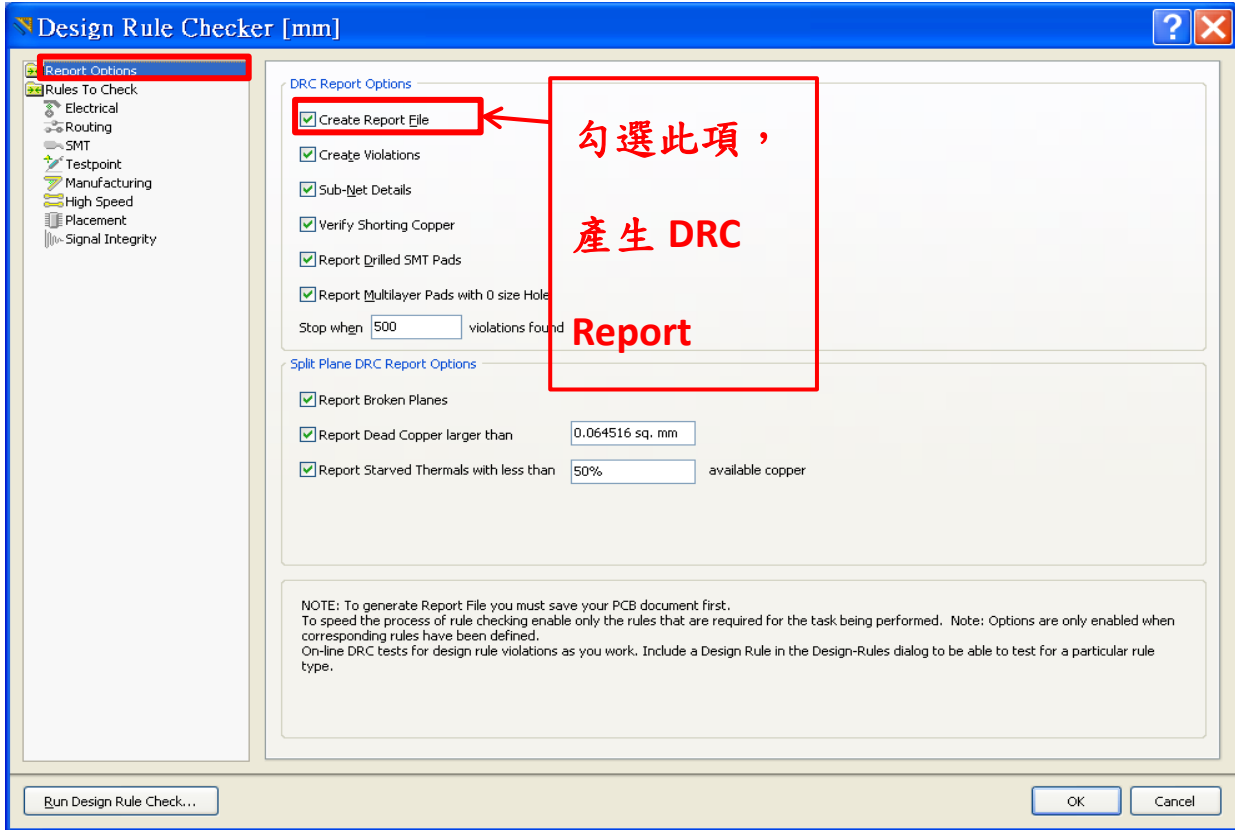


圖 3.1.2-3 產生 Altium 設計規範驗證結果的報告檔設定

3.1.3 設計規範驗證前的設定－Net Name

在定義設計規範及做驗證之前，必需做 Net Name 的設定，才能正確執行設計規範。如果沒有設定，所有的佈局元件圖形皆被設為「No Net」，會被視為相同的 Net。在半導體中心的設計規範下，對於相同的 Net，其佈局圖形是可以重疊的，並不會違反設計規範，所以不易檢查出佈局違反設計規範的錯誤。

如果佈局圖是由線路圖轉入，可以承繼其 Net Name，則大部分的佈局元件或圖形已經帶有 Net Name，大致上做 DRC 較無問題，但要注意金屬層的拉線、鋪銅或任何圖形的 Net Name 設定。

如果只有畫佈局圖並無相對應的線路圖，可以使用下列的方法，先產生 Net Name 的列表，然後再對每一個佈局元件、金屬層的拉線、鋪銅或任何圖形指定正確的 Net Name，就可以更容易及正確地做繞線 (Routing)、鋪銅連結及設計規範的驗證。

Net Name 的列表，自行增加或編輯 Net Name，指令為

[Design > Netlist > Edit Nets > Add / Edit](#)，如下範例所示：

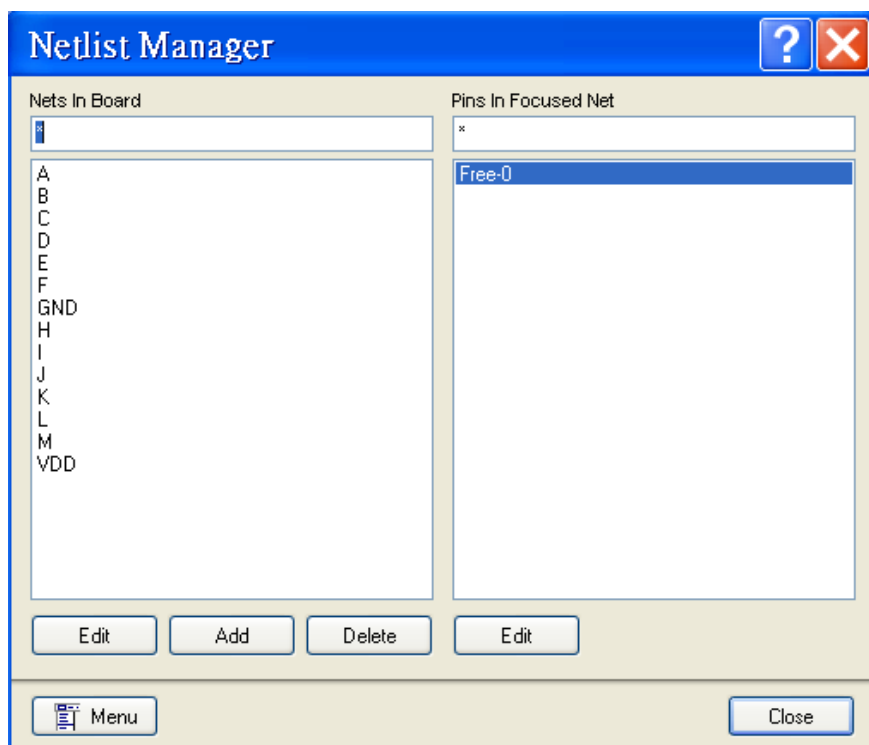


圖 3.1.3-1 範例—Net Name 的列表

設定好 Net Name 的列表之後，就可以一一將佈局元件的 Net Name 指定。

以 PAD 為例，如下圖下方淺藍色框線框住的圖形，選定其 Net Name 為 M：

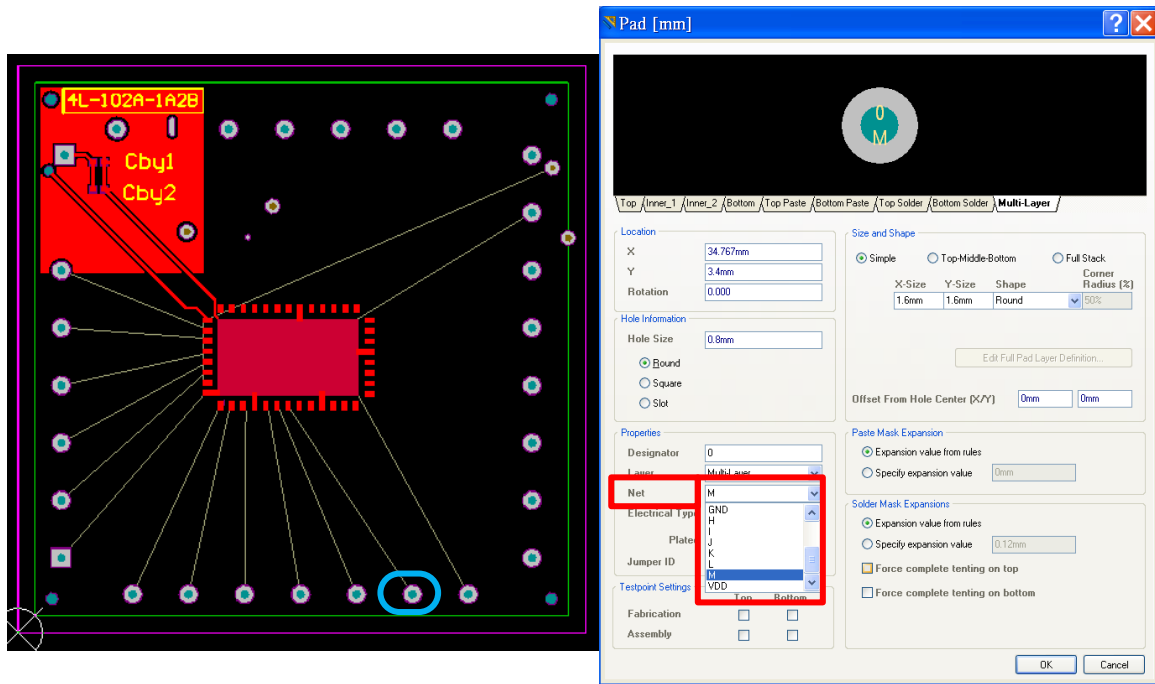


圖 3.1.3-2 範例一以 PAD 為例，指定 Net Name 的方法

可以注意到上圖左方有一些白色的線條，是同一 Net Name 的繞線指示線 (即鼠線、預拉線)。所以當 Net Name 設定之後，就會出現這些輔助線，可確保繞線正確性，並且避免違反設計規範、短路、未繞線等錯誤。

[\[回到目錄\]](#)

3.1.4 設計規範總結

符號說明：

○	Altium 可 auto DRC
△	Altium 不可 auto DRC，請使用者自行確認

不可 auto DRC 的設計規範數目統計：

項目	金屬線	鋪銅	PTH/ 孔環	NPTH	橢圓孔	防焊層	文字層	KO 層	ME 層
數目	0	0	1	2	4	1	2	3	2

設計規範總結：

項目	編號	規範命名	代號	說明	尺寸 (mm)	規範特性 Must / Optional	是否可建入 Altium 軟體 做 auto DRC
金屬線	1	MT.W.1	M W	金屬線最小線徑	0.12	M	○
	2	MT.S.1	MS	金屬線最小線距	0.12	M	○
	3	MT.KO.E.1	M B	金屬線與成形邊框 最小距離	0.40	M	○
鋪銅	4	MT.S.2	M C	鋪銅到金屬最小距 離 (FR4)	0.22	M	○
				鋪銅到金屬最小距 離 (RO)	0.17	M	○
	5	MT.KO.E.1	CB	鋪銅與成形邊框最 小距離	0.40	M	○
鍍銅 貫孔 (PTH) 及孔	6	DR.W.1	D1	鑽孔最小尺寸	0.20	M	○
	7	DR.W.2	D1	鑽孔最大尺寸	6.00	M	○
	8	DR.DR.S.1	D4	鑽孔間最小間距	0.30	M	○
	9	DR.MT.S.1	D5	鑽孔到金屬線最小	0.30	M	○

環				距離			
	10	DR.KO.E.1	D6	鑽孔到成形邊框最小距離	0.50	M	○
	11	MT.W.2	D2	外部金屬層 孔環最小線寬	0.12	M	○
	12	MT.SO.E.1	D3	孔環到防焊漆最小距離	0.12	O	△
非鍍銅貫孔 (NPTH)	13	DR.W.3	N1	NPTH 鑽孔最小尺寸	0.50	M	△
	14	DR.W.4	N1	NPTH 鑽孔最大尺寸	6.00	M	○
	15	DR.DR.S.2	N2	NPTH 鑽孔間最小間距	0.30	M	○
	16	DR.RU.S.2	N3	NPTH 到成形邊框最小距離	0.50	M	○
	17	DR.SO.E.2	N4	NPTH 鑽孔到防焊漆最小間距	0.12	O	△
橢圓形孔 (PTH 及 NPTH)	18	DR.W.5	O1	橢圓孔鑽孔最小尺寸	0.55	M	△
	19	DR.W.6	O1	橢圓孔鑽孔最大尺寸	6.00	M	○
	20	DR.DR.S.3	O2	橢圓孔鑽孔圓心間最小間距	> O1	M	△
	21	DR.DR.S.4	O3	橢圓孔間最小間距	0.5	M	△
	22	DR.RU.S.3	O4	橢圓孔到成形邊框最小距離	0.8	M	△
防焊層	23	MT.SO.E.1	S1 =D 3	金屬 PAD 到防焊漆最小間距	0.12	O	△
	24	SO.W.1	S2	防焊漆下墨最小線寬	0.12	O	○
文字層	25	SK.W.1	Sk W	文字層最小線寬	0.20	O	△
	26	SK.H.1	Sk H	文字最小高度	1.00	O	△
	27	SK.MT. S.1	Sk M	文字層和 PAD 的距離	0.20	O	○
機械加工	28	KO.W.1	KO W	成形邊框線寬	0.12	O	△

[\[回到目錄\]](#)

層 KO	29	KO.H.1	KH	定位孔最小直徑	1.00	M	△
	30	KO.H.2	KH	定位孔屬性	NPTH	M	△
機械 加工 層 ME	31	ME.W.1	M E W	外圍邊框線寬	0.12	O	△
	32	ME.S.1	M ES	外圍邊框到成形邊 框的距離	1.50 mm	M	△

表 3.1.4-1 設計規範總結

3.1.5 設計規範常見問題

編號	分類	問題及說明	半導體中心處理狀態
1	PAD	PAD 上打 via	忽略
		有些設計者會在 PAD 上打 via 孔，這樣的情形在打件或焊錫時，錫會從孔內流掉，無法確保焊接良好，有時也會影響到背面的元件，請盡量避免。但是如果有設計上的考量，也可接受製作。	
2	鑽孔	有 PAD 但無鑽孔	忽略
		因違反 DR.W.1 鑽孔最小尺寸的設計規範，因軟體而異，可能會有 warning 出現：如 zero hole size。	
3	孔環 Ring	無 PAD 但有鑽孔	忽略
		雖違反 MT.W.2 孔環最小線寬的設計規範，但因軟體而異，有時檢查不出來，請使用者注意。	
4	防焊	防焊層整層無佈局	與使用者 再確認
		可能因為疏忽，造成整層防焊層沒有任何佈局圖，製作的結果是整層會被塗上防焊層，可能和預期完全相反。因此層佈局圖為類似負	

		片的型式，佈局之處才是沒有塗上防焊層的，請使用者特別注意檢查。	
5	防焊	PAD 上無防焊層	與使用者 再確認
		會造成 PAD 之上被塗上防焊層，無法有對外的接點，請使用者特別注意檢查。	
6	防焊	via 上無防焊層	忽略
		會造成 via 之上被塗上防焊層，無法有對外的接點，請使用者檢查。	
7	其它	佈局圖上有冗線或額外的點或圖形	忽略
		請設計者盡量將每一個圖形指定 net name，就可以減少此種狀況發生。	
8	其它	要產生 Paste 層的 Gerber 檔嗎?	忽略
		<p>Paste 層的使用：通常為大量生產時，使用此 paste 層去製做銅板，開口在 SMT 元件的焊墊處，之後塗上錫膏、將零件貼附在錫膏上、經過迴流焊 (reflow)，以銲接元件。通常 paste 層的開口比焊墊小一些。</p> <p>在半導體中心的服務中，不提供此項銅板的製作，所以不需要產生此層的 Gerber 檔。</p>	

[\[回到目錄\]](#)

表 3.1.5-1 設計規範常見問題

3.2 金屬

3.2.1 金屬線

3.2.1.1 金屬線設計規範

金屬線包含 PCB 各種製作種類、外部 Top 及 Bottom 兩層，以及所有內部金屬層金屬佈線的規範，全部相同，如下表格及圖形所示。

規範命名	代號	說明	尺寸
MT.W.1	MW	金屬線最小線徑	0.12 mm
MT.S.1	MS	金屬線最小線距	0.12 mm
MT.KO.E.1	MB	金屬線與成形邊框最小距離	0.40 mm

表 3.2.1.1-1 金屬線設計規範

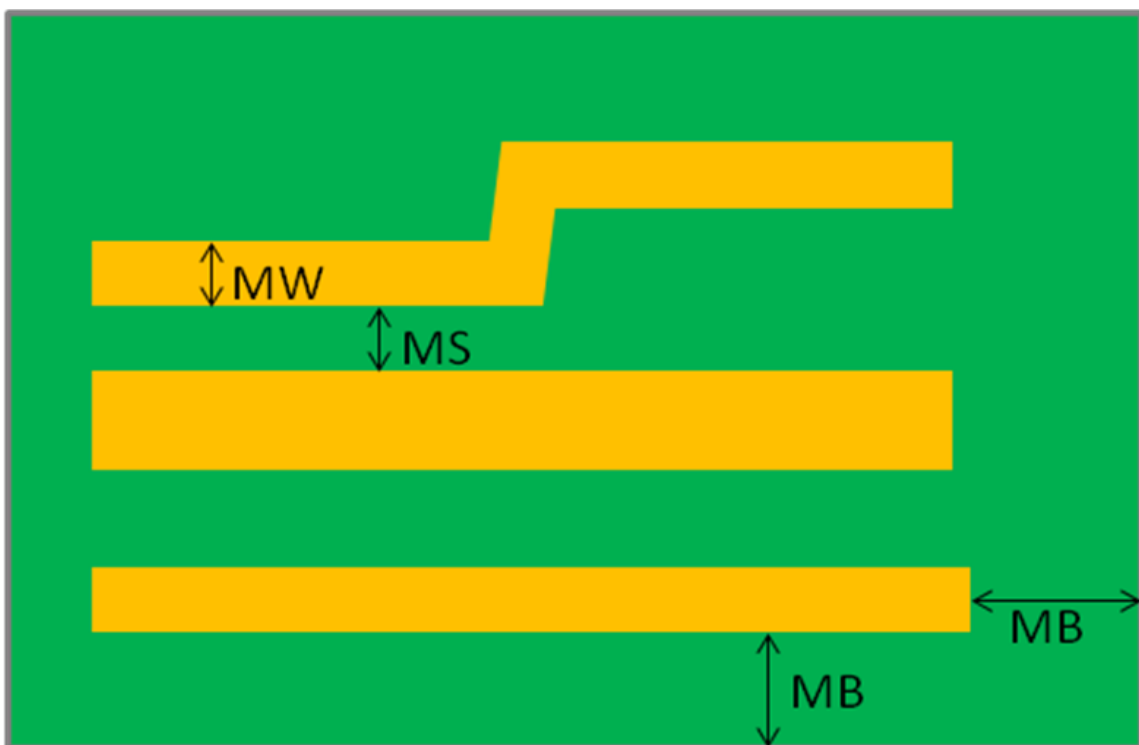


圖 3.2.1.1-1 金屬線設計規範

3.2.1.2 金屬線設計規範—Altium 設定方法

所有設計規範皆於 PCB 視窗之 [Design > Rules](#) 之下設定。

(1) MT.W.1：金屬線最小線徑

於 [Routing > Width](#) 之下設定，可同時設定最大線徑，如下圖所示：

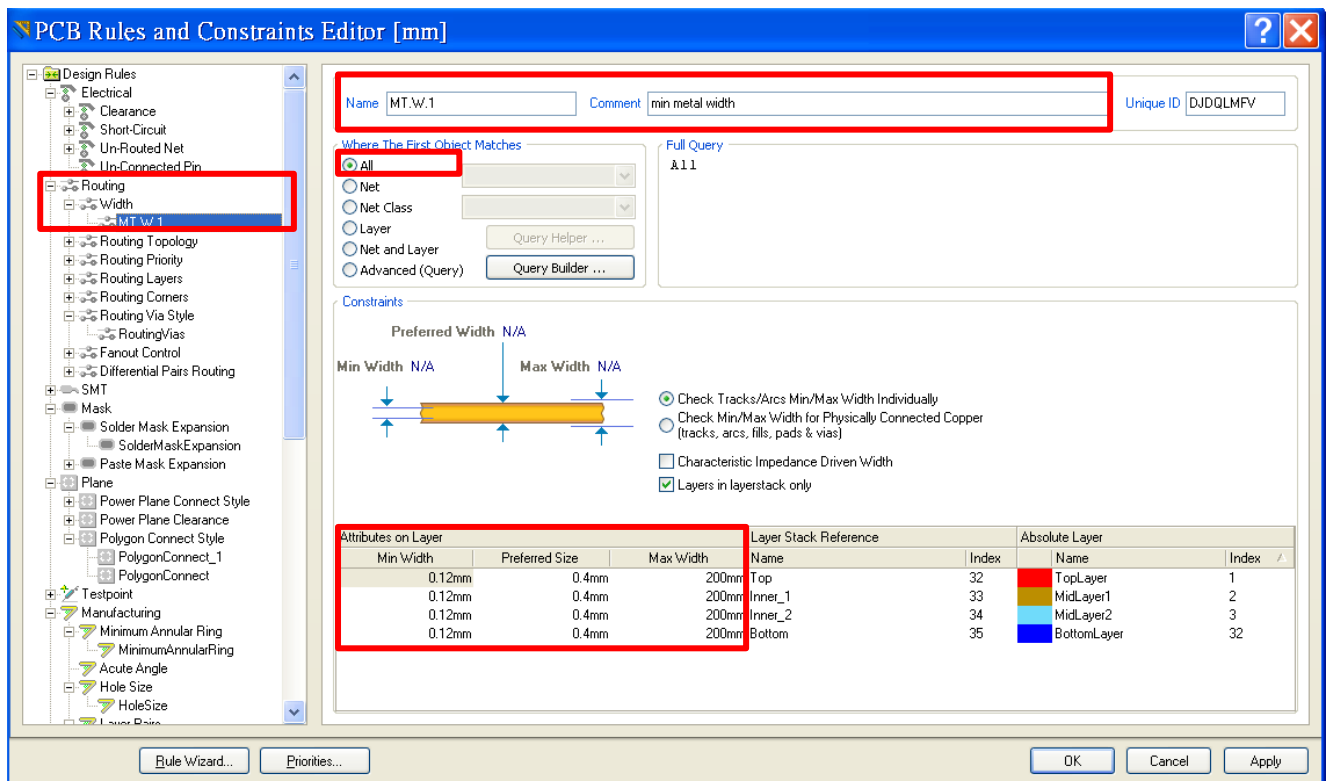


圖 3.2.1.2-1 Altium 設定一設計規範「金屬線最小線徑」

[\[回到目錄\]](#)

(2) MT.S.1：金屬線最小線距

於 **Electrical > Cleanance** 之下，要注意” **Different Nets Only**” 的設定，如下

圖所示：

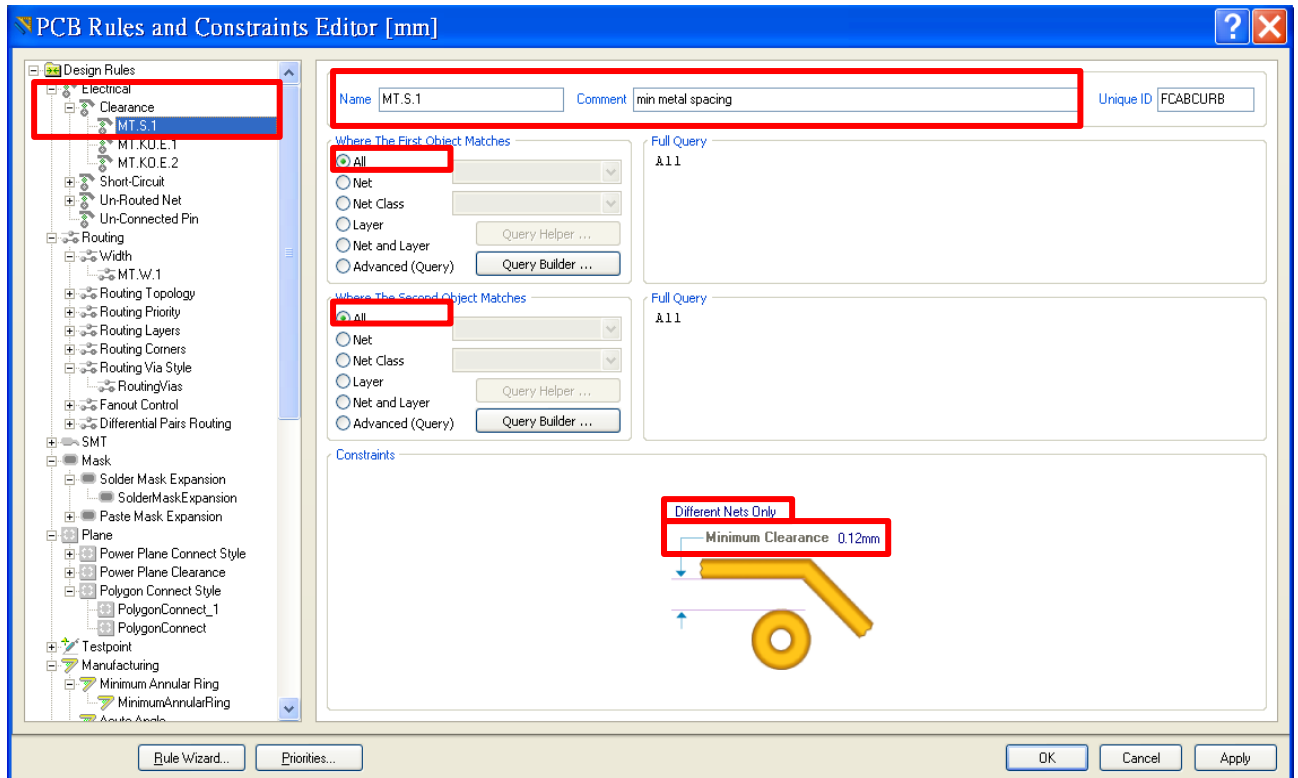


圖 3.2.1.2-2 Altium 設定一設計規範「金屬線最小線距」

[\[回到目錄\]](#)

(3) MT.KO.E.1：金屬線與成形邊框最小距離

於 **Electrical > Cleanance** 之下，要注意” **Different Nets Only**” 的設定，如下

圖所示：

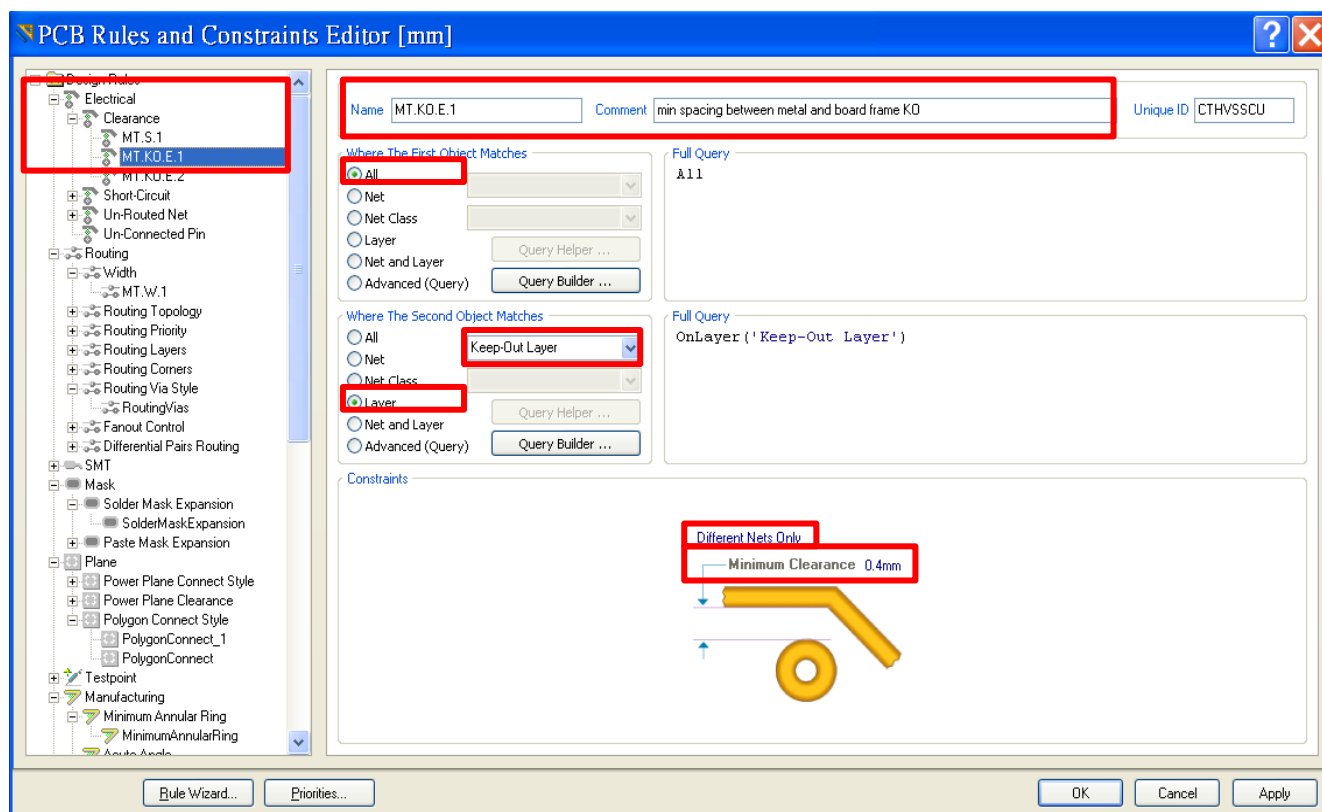


圖 3.2.1.2-3 Altium 設定一設計規範「金屬線與成形邊框最小距離」

3.2.2 鋪銅

3.2.2.1 鋪銅設計規範

由於製造良率問題，鋪銅到所有金屬的距離，較金屬線之間的間距為大。

規範命名	代號	說明	尺寸
MT.S.2	MC	鋪銅到金屬最小距離 (FR4)	0.22 mm
		鋪銅到金屬最小距離 (RO)	0.17 mm
MT.KO.E.1	CB	鋪銅與成形邊框最小距離	0.40 mm

表 3.2.2.1-1 鋪銅設計規範

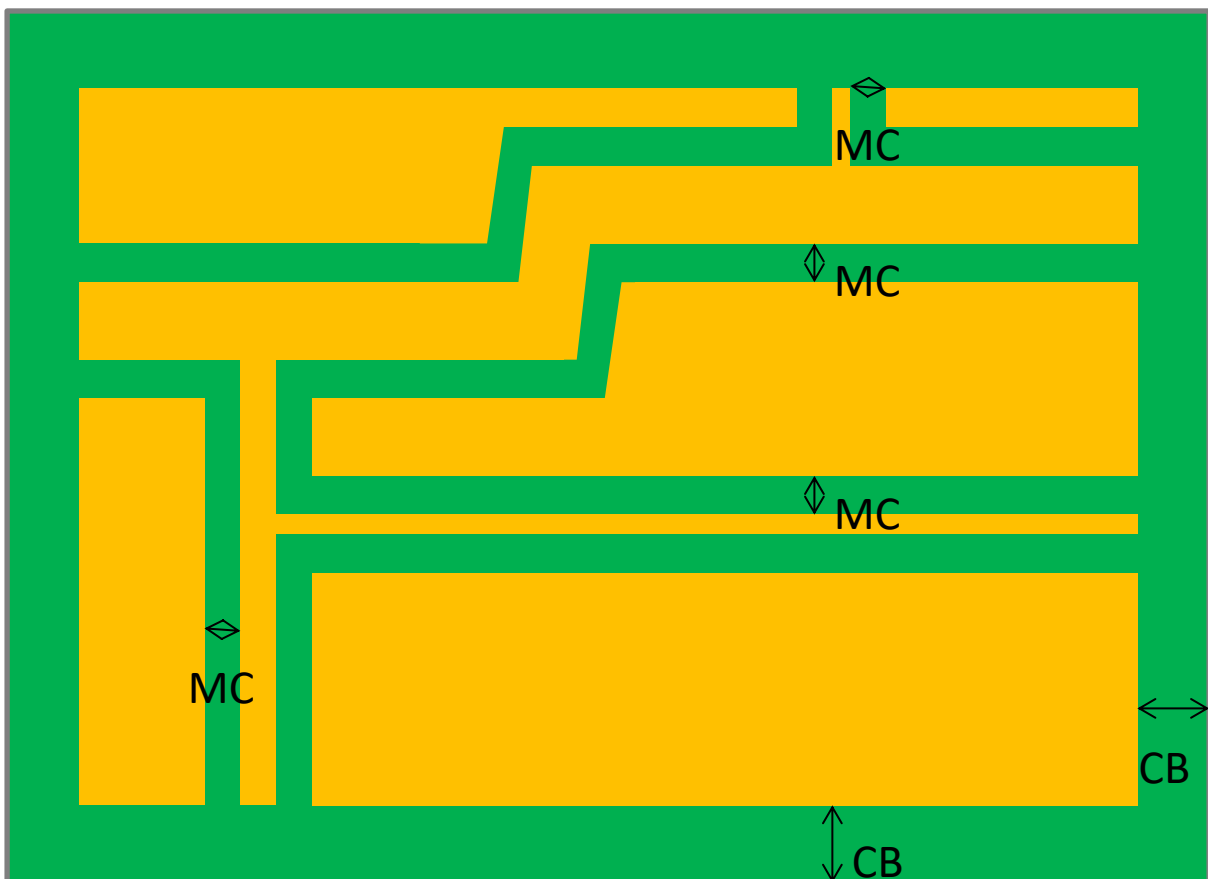


圖 3.2.2.1-1 鋪銅設計規範

[\[回到目錄\]](#)

3.2.2.2 鋪銅設計規範—Altium 設定方法

(1) MT.S.2：鋪銅到金屬最小距離

於 **Electrical > Cleanance** 之下，要注意” **Different Nets Only**” 的設定，如下

圖所示：

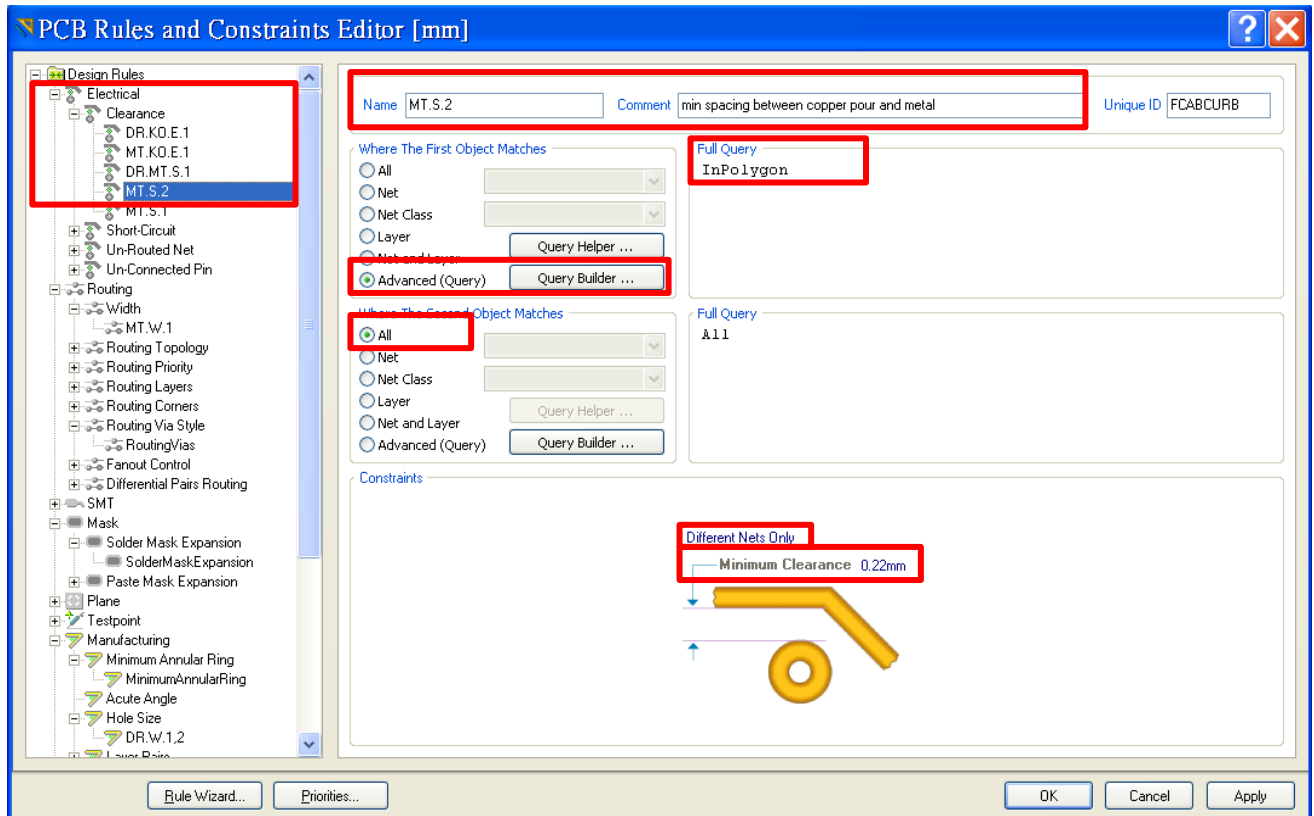


圖 3.2.2.2-1 Altium 設定一設計規範「鋪銅到金屬最小距離」

[\[回到目錄\]](#)

(2) MT.KO.E.1：鋪銅與成形邊框最小距離

設定同於「金屬線與成形邊框最小距離」，但請注意這些同一類 Clearance

規則的優先順序必須設定如下，**值較大的優先順序越高**，才能生效：

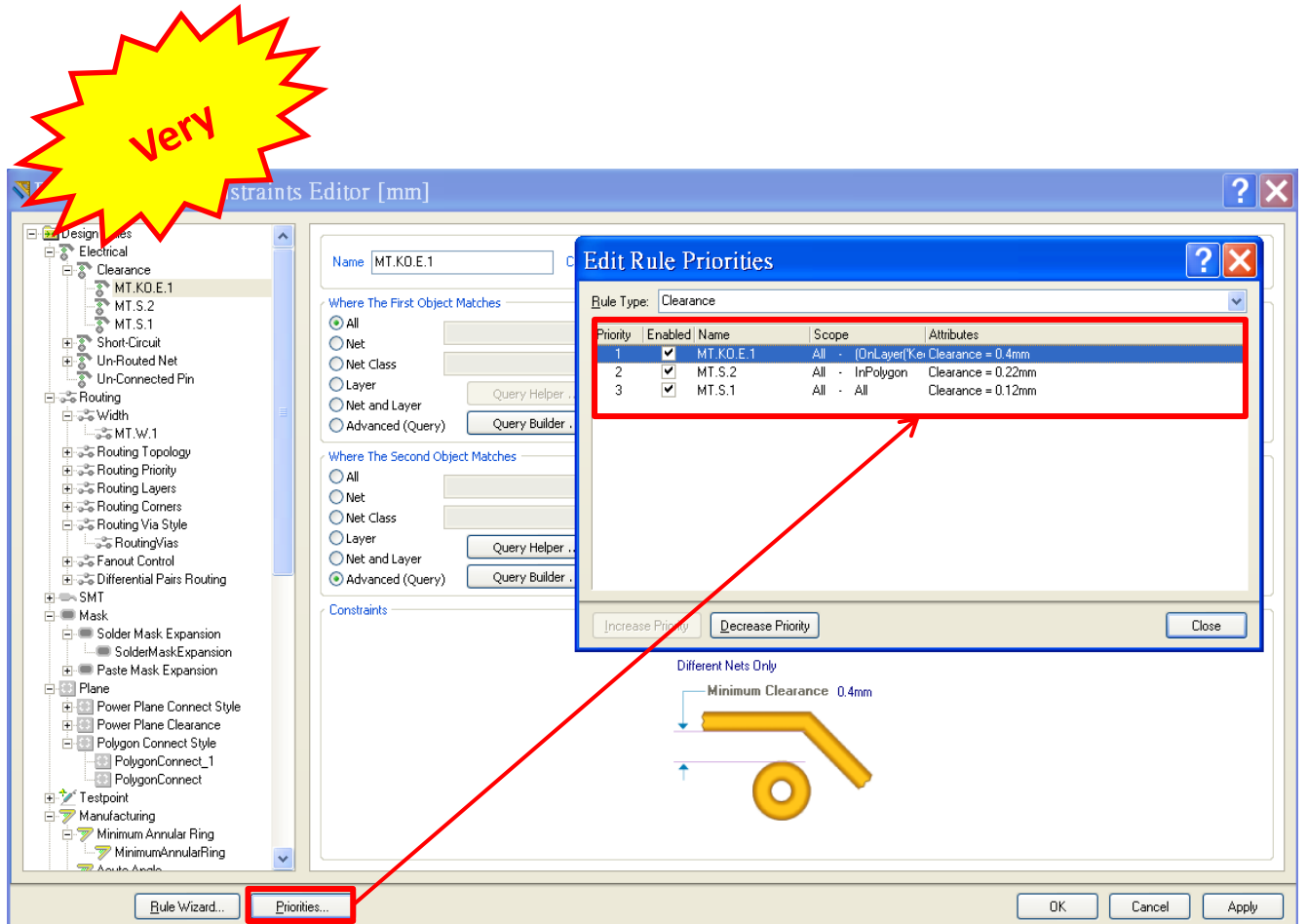


圖 3.2.2.2-2 Altium 設定一設計規範「鋪銅與成形邊框最小距離」

3.2.3 鋪銅—Altium 之產生方法

要預先畫好 KO 層的成形邊框，並且設定好兩項鋪銅的設計規則：MT.S.2，鋪銅到金屬最小距離，及 MT.KO.E.1，鋪銅與成形邊框最小距離，再去執行鋪銅的指令，結果才會正確。

拉鋪銅的外框線時，可以貼在 KO 之上，鋪銅時會自動往內退至 MT.KO.E.1 所設定的距離。

指令 **Place > Polygon Pour**，其他詳細設定，如下圖所示：

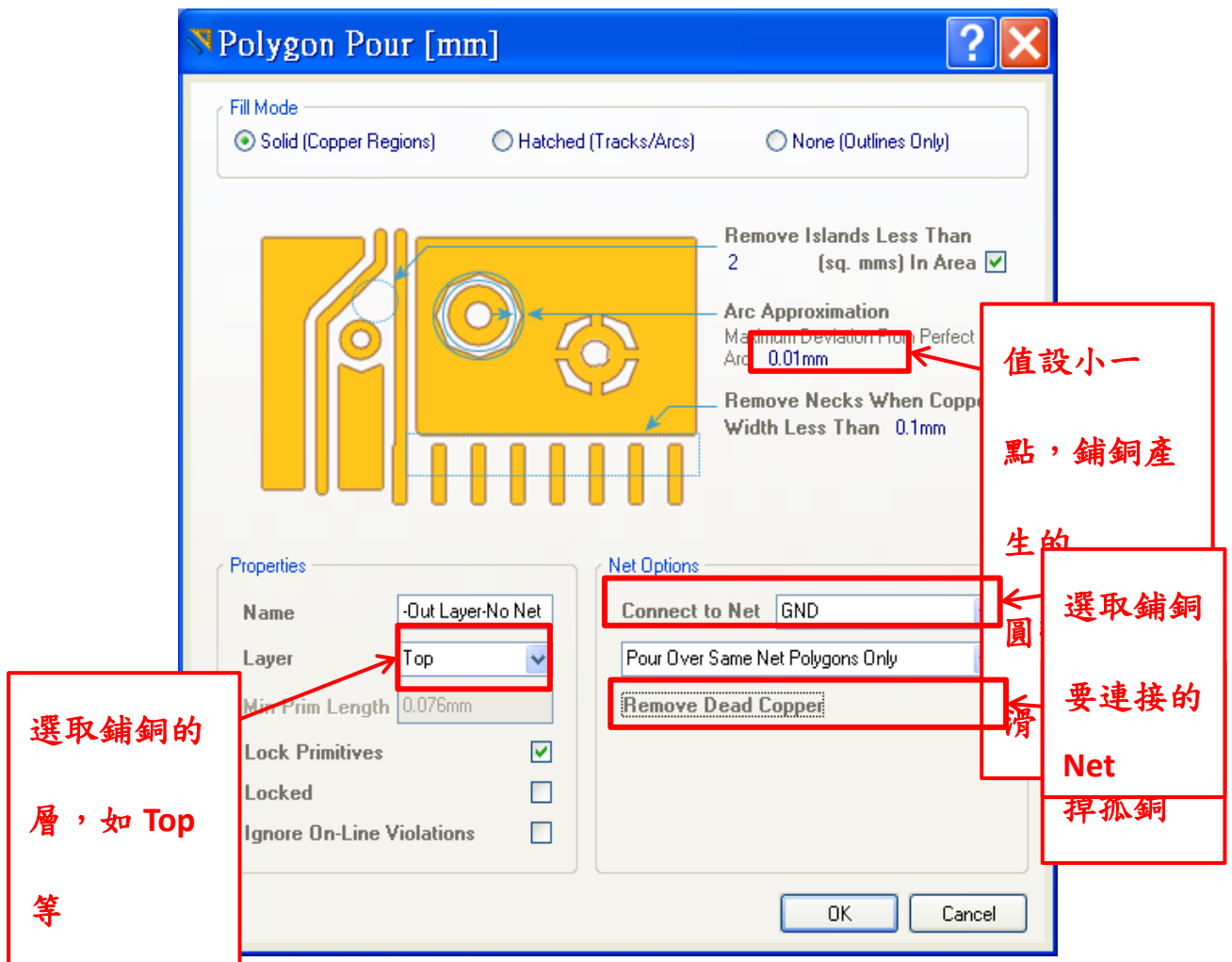


圖 3.2.3-1 鋪銅—Altium 之執行方法

[\[回到目錄\]](#)

鋪銅執行結果如下圖範例所示：

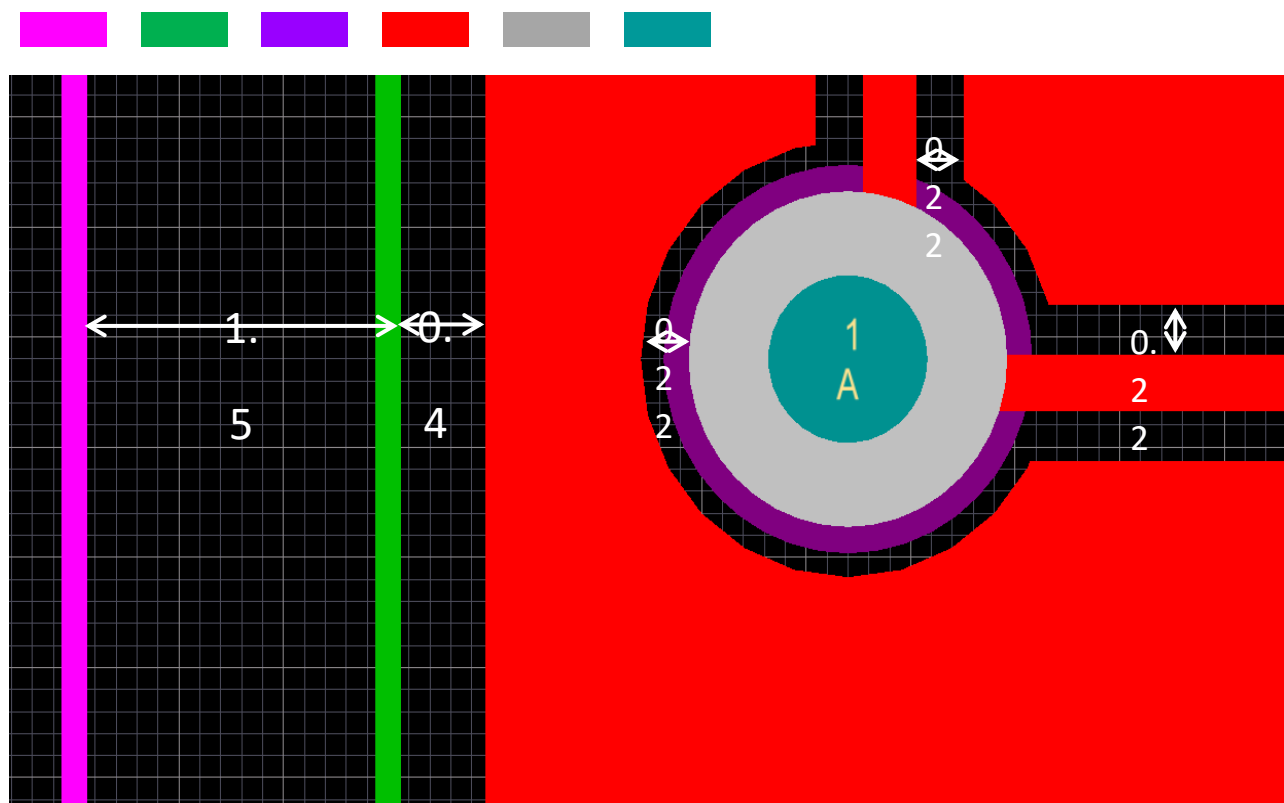


圖 3.2.3-2 鋪銅—Altium 之執行結果

3.3. 鑽孔及孔環

鑽孔是機械是鑽孔，之後孔的內緣再鍍上銅或不鍍銅。目前 TSRI 提供的只有貫孔，即鑽孔貫穿整個疊構，從 Top 到 Bottom，有鍍銅導通貫孔 (PTH, Plating Through Hole) 或不鍍銅的非導通貫孔 (NPTH, non-Plating Through Hole) 兩種。目前並未提供盲孔、埋孔製作。

有些設計者會在 PAD 上打 via 孔，這樣的情形在打件或焊錫時，錫會從孔內流掉，無法確保焊接良好，有時也會影響到背面的元件，請盡量避免。但是如果有設計上的考量，也可接受製作。

3.3.1 鍍銅貫孔 (PTH) 及孔環

3.3.1.1 鍍銅貫孔 (PTH) 及孔環設計規範

PTH 為導通貫孔，可做為連接貫孔、元件插件或測試點等之用。孔徑公差 ± 0.075 mm。

規範命名	代號	說明	尺寸
DR.W.1	D1	鑽孔最小尺寸	0.20 mm
DR.W.2	D1	鑽孔最大尺寸	6.00 mm
DR.DR.S.1	D4	鑽孔間最小間距	0.30 mm
DR.MT.S.1	D5	鑽孔到金屬線最小距離	0.30 mm
DR.KO.E.1	D6	鑽孔到成形邊框最小距	0.50 mm

		離	
MT.W.2	D2	外部金屬層孔環最小線寬	0.12 mm
MT.SO.E.1	D3	孔環到防焊漆最小距離	0.12 mm
SO.W.1	S2	防焊漆下墨最小線寬	0.12 mm

表 3.3.1.1-1 PTH 及孔環設計規範

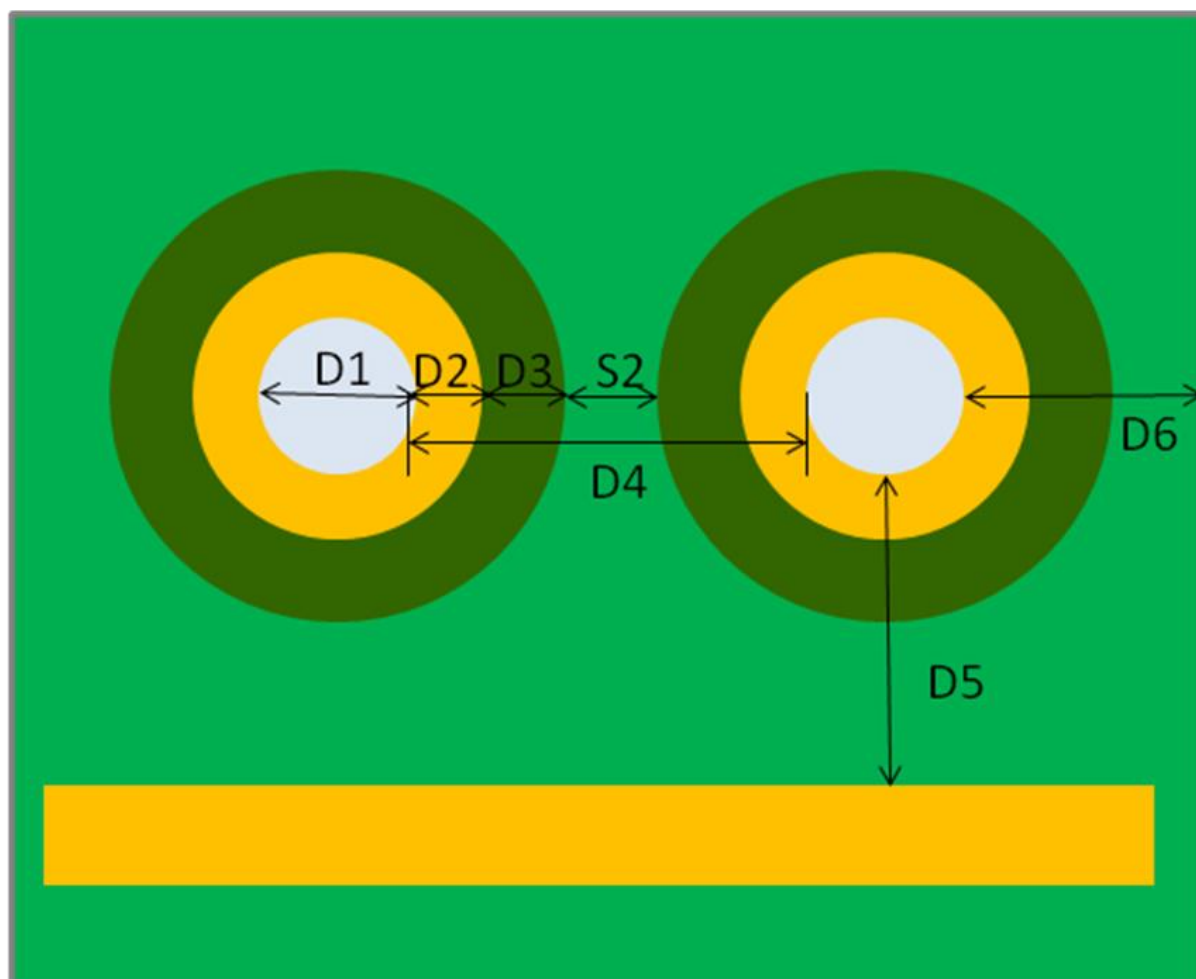


圖 3.3.1.1-1 PTH 及孔環設計規範

[\[回到目錄\]](#)

3.3.1.2 鍍銅貫孔 (PTH) 及孔環設計規範—Altium 設定方法

(1) DR.W.1：鑽孔最小尺寸 / DR.W.2：鑽孔最大尺寸

分成 PAD 及 VIA 兩部份：

PAD 的定義：

於 [Manufacturing > Hole Size](#) 之下設定，如下圖所示：

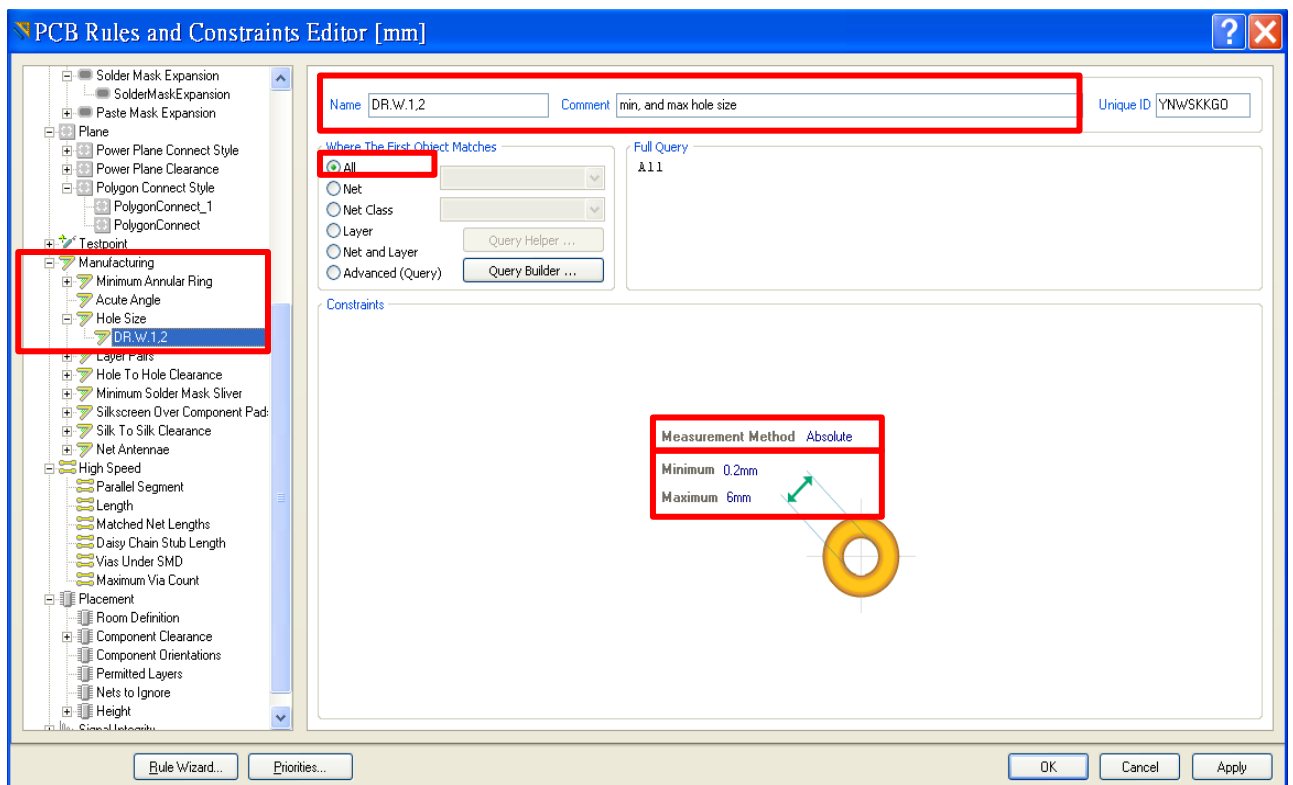


圖 3.3.1.2-1 Altium 設定—設計規範「鑽孔最小 / 最大尺寸」

VIA 的定義：

參考後方 (7) DR.MT.VIA.1：VIA 直徑及鑽孔尺寸的設定。

[\[回到目錄\]](#)

(2) DR.DR.S.1：鑽孔間最小間距

於 **Manufacturing > Hole to Hole Clearance** 之下設定，如下圖所示：

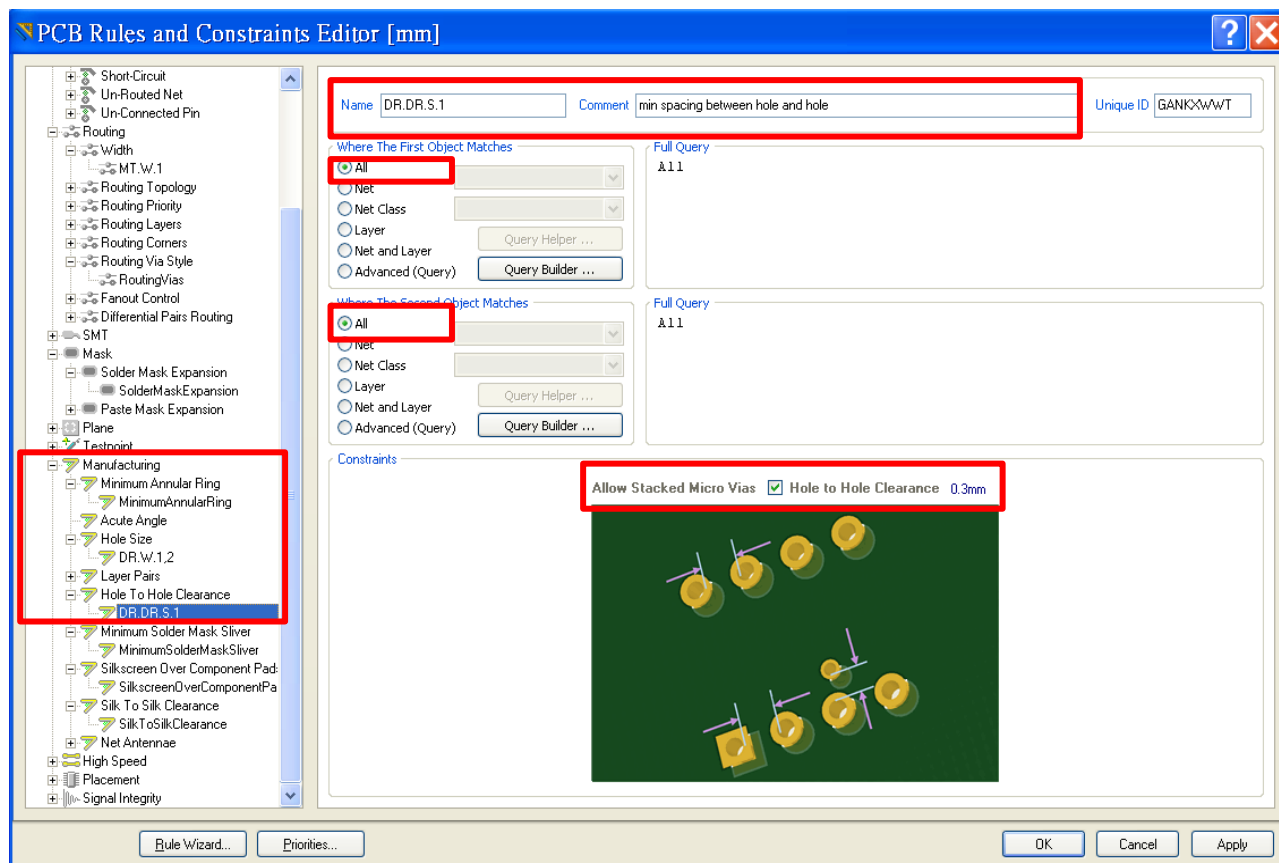


圖 3.3.1.2-2 Altium 設定一設計規範「鑽孔間最小間距」

[\[回到目錄\]](#)

(3) DR.MT.S.1：鑽孔到金屬線最小距離

於 **Electrical > Cleanance** 之下，要注意” **Different Nets Only**” 的設定，如下

圖所示：

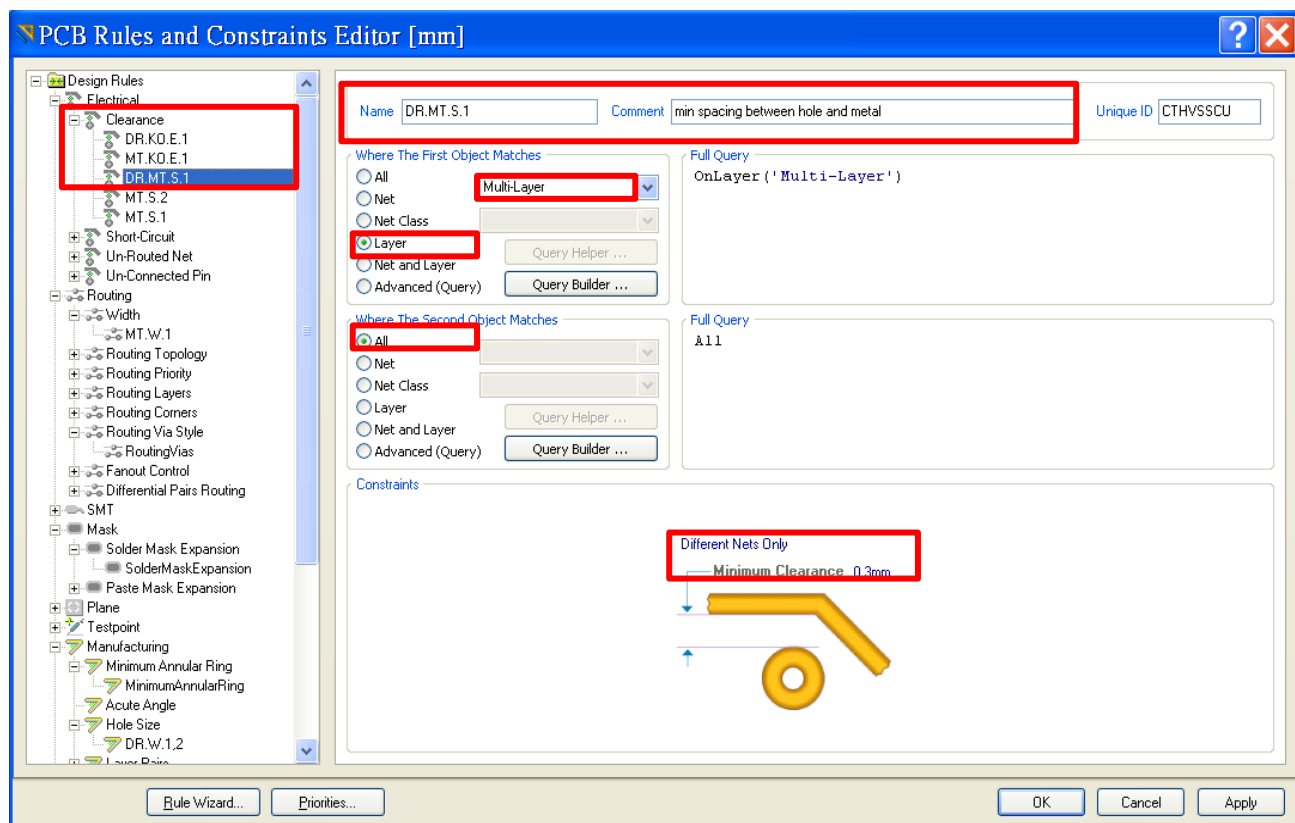


圖 3.3.1.2-3 Altium 設定一設計規範「鑽孔到金屬線最小距離」

[\[回到目錄\]](#)

(4) DR.KO.E.1：鑽孔到成形邊框最小距離

於 **Electrical > Clearance** 之下，要注意” **Different Nets Only**” 的設定，如下

圖所示：

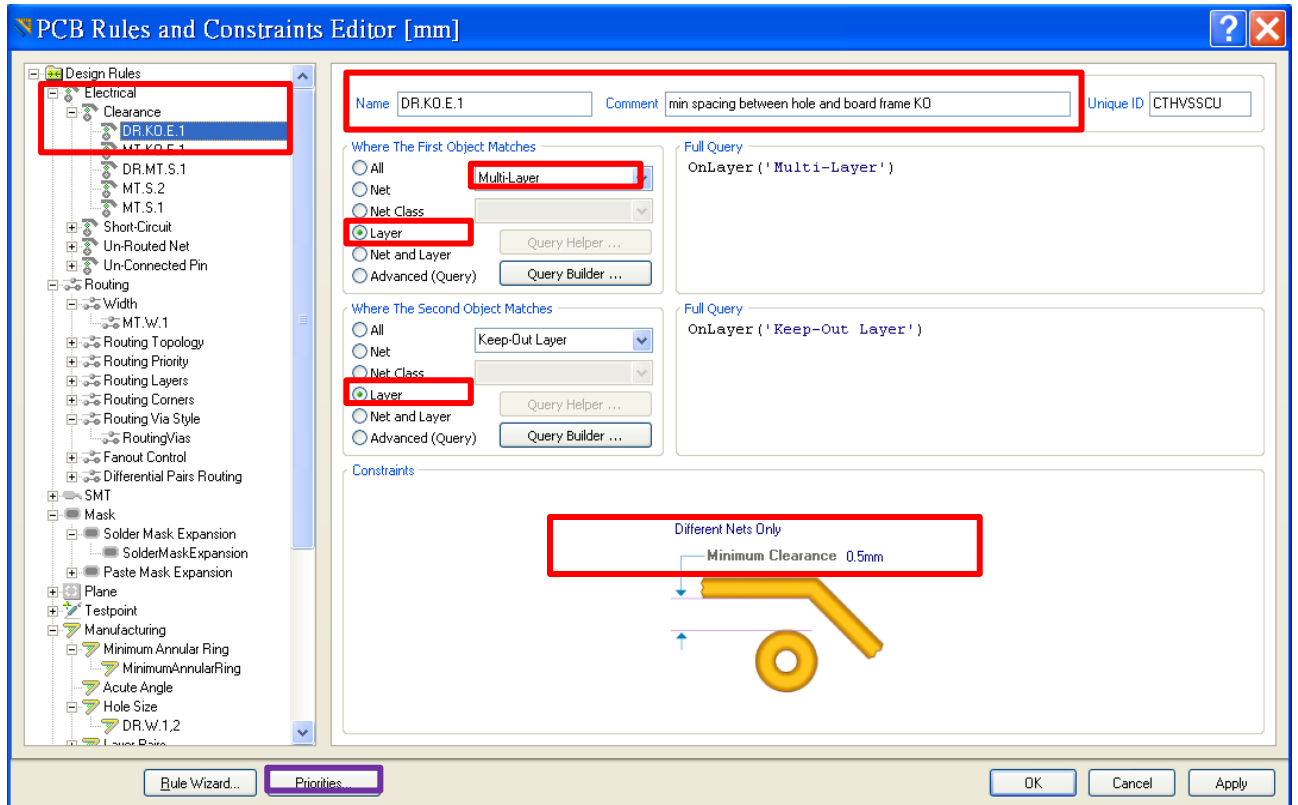


圖 3.3.1.2-4 Altium 設定一設計規範「鑽孔到成形邊框最小距離」

要注意設定正確的優先順序 (Priorities，如上方圖形左下角紫色框處選

取)，細節如下圖所示，值較大的優先順序越高，才能正確執行設計規則。

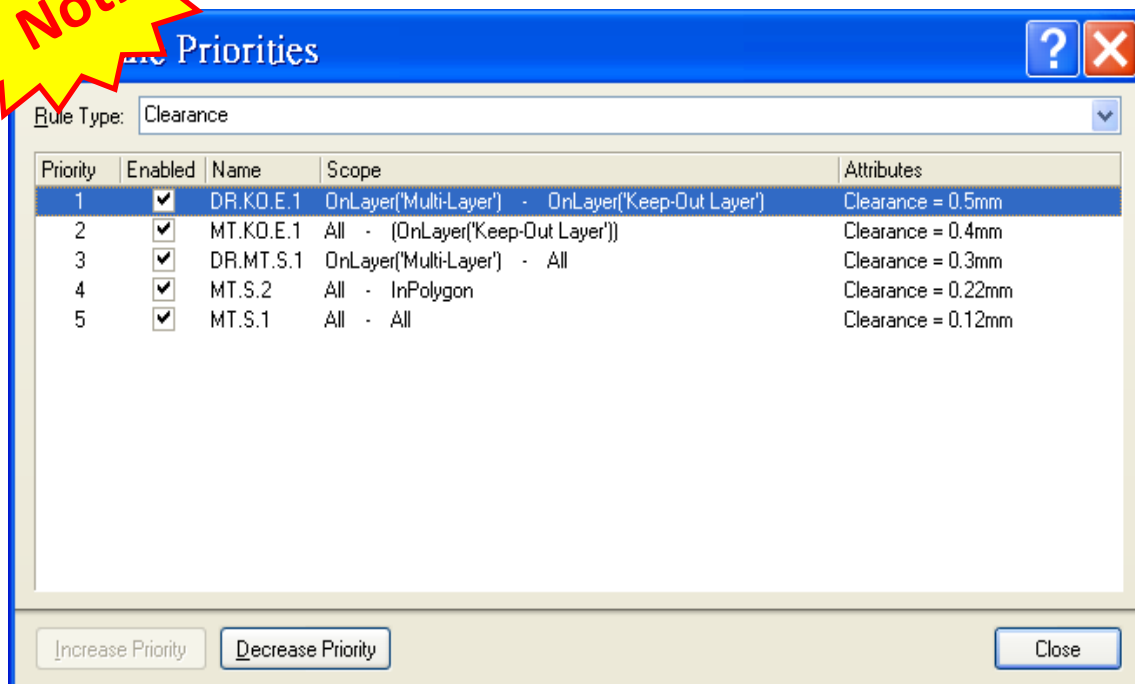


圖 3.3.1.2-5 Altium 設定一設計規範「間距優先順序」

[\[回到目錄\]](#)

(5) MT.W.2 外部金屬層孔環最小線寬

分成 PAD 及 VIA 兩部份：

PAD 的定義：

於 **Manufacturing > Minimum Annular Ring** 之下設定，如下圖所示：

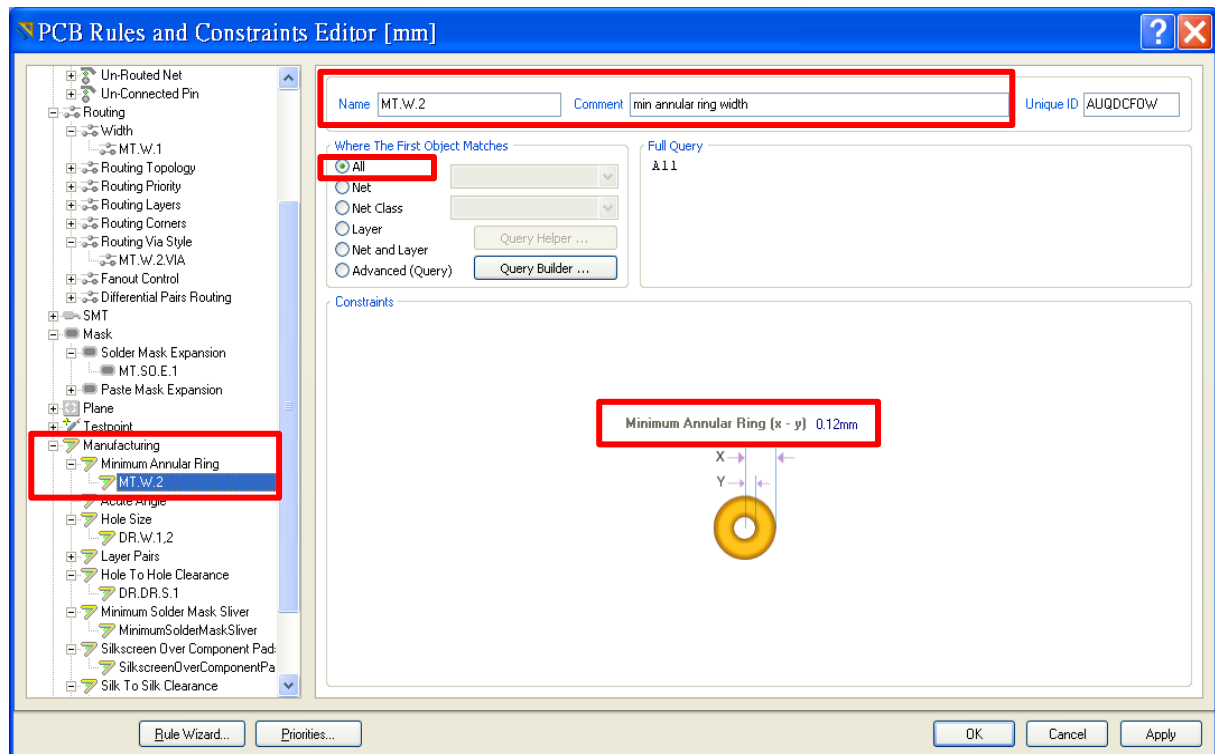


圖 3.3.1.2-6 Altium 設定一設計規範「外部金屬層孔環最小線寬」

VIA 的定義：

參考後方 (7) DR.MT.VIA.1：VIA 直徑及鑽孔尺寸的設定。

[\[回到目錄\]](#)

(6) MT.SO.E.1：孔環到防焊漆最小距離

必須先如下圖設定設計規則之後，即成為每一個 PAD 或 VIA 預設值，如圖

3.3.1.2-8 所示。

設計規範於 [Mask > Solder Mask Expansion](#) 設定：

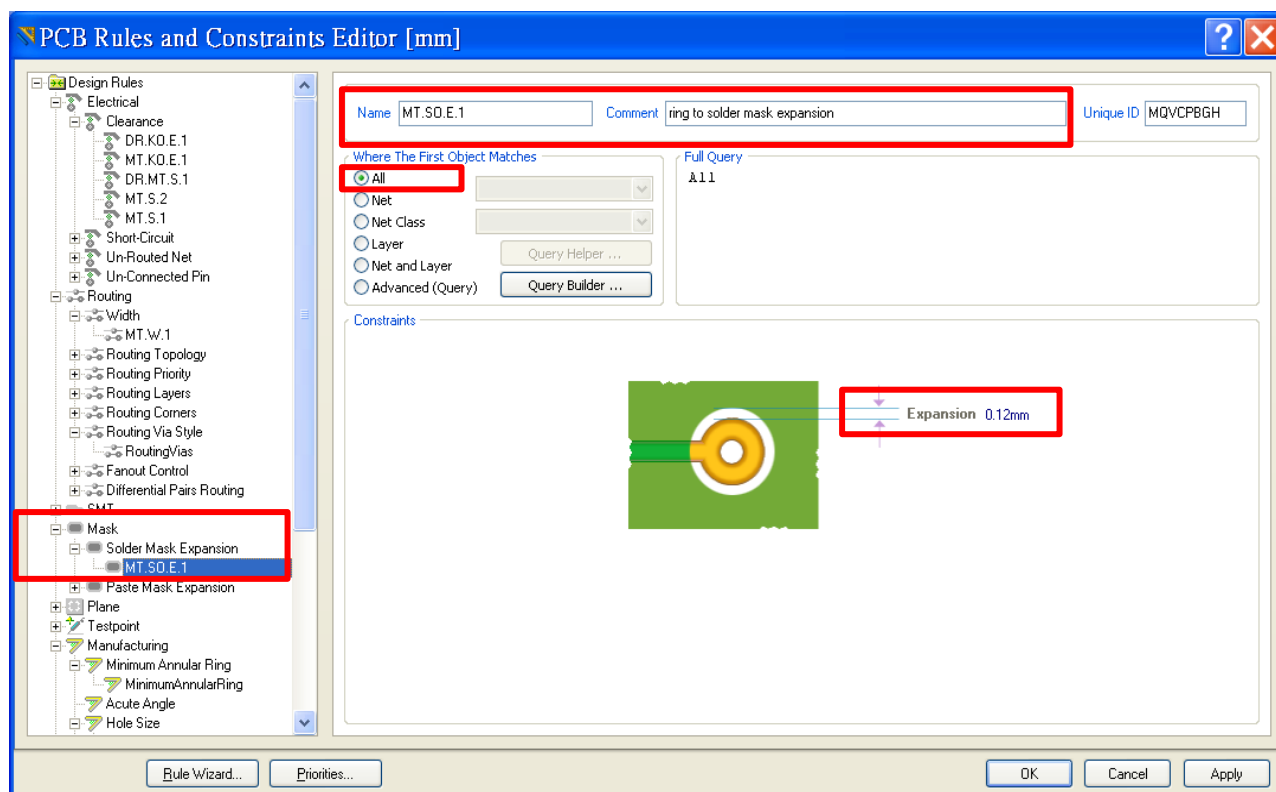


圖 3.3.1.2-7 Altium 設定一設計規範「孔環到防焊漆最小距離」

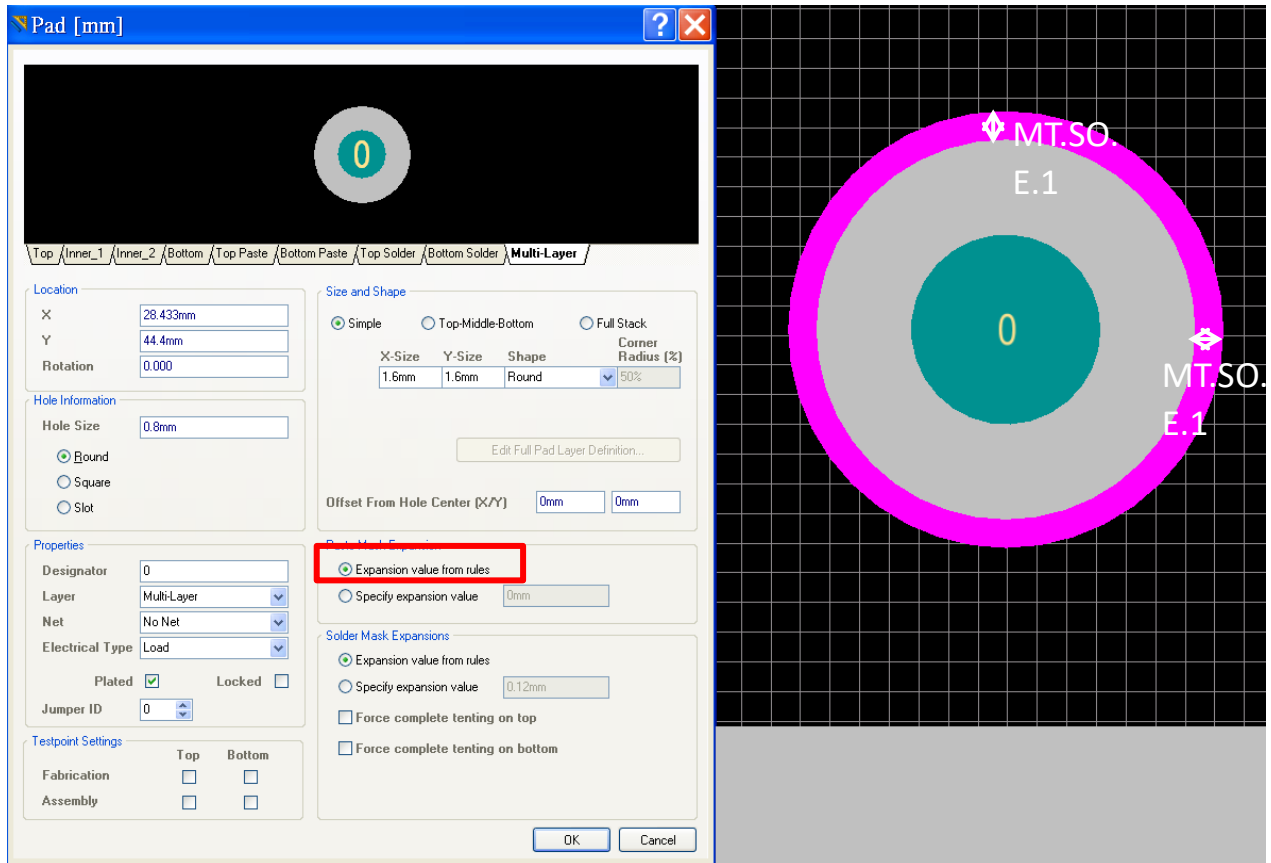


圖 3.3.1.2-8 Altium 設定一設計規範「孔環到防焊漆最小距離」之 Altium 預設值

[\[回到目錄\]](#)

(7) DR.MT.VIA.1：VIA 直徑及鑽孔尺寸

大致上 Routing VIA 的設計規則和鑽孔一致，Altium 有額外的設定之處，

如下圖所示，於 [Routing > Routing Via Style](#) 設定，可以同時設定 VIA 直徑

及鑽孔的最小、最大尺寸：

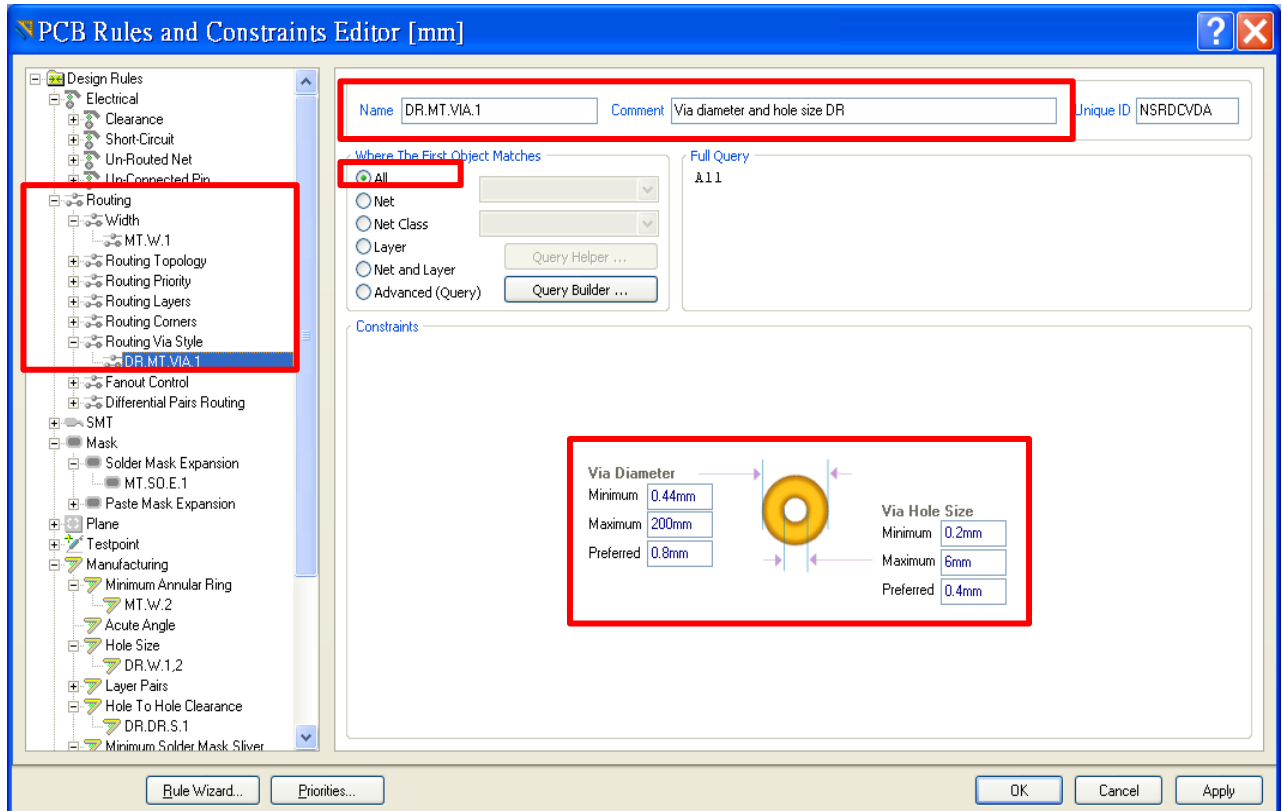


圖 3.3.1.2-9 Altium 設定一設計規範「VIA 直徑及鑽孔尺寸」

(8) SO.W.1 防焊漆下墨最小線寬

參見後 3.4.2(2) 相同的設定。

3.3.2 非鍍銅貫孔 (NPTH)

3.3.2.1 非鍍銅貫孔 (NPTH) 設計規範

NPTH 可做為機構用螺絲孔或元件插件輔助孔等之用。孔的內緣不鍍銅。

孔徑誤差 ± 0.05 mm。

規範命名	代號	說明	尺寸
DR.W.3	N1	NPTH 鑽孔最小尺寸	0.50 mm
DR.W.4	N1	NPTH 鑽孔最大尺寸	6.00 mm
DR.DR.S.2	N2	NPTH 鑽孔間最小間距	0.30 mm
DR.RU.S.2	N3	NPTH 到成形邊框最小距離	0.50 mm
DR.SO.E.2	N4	NPTH 鑽孔到防焊漆最小間距	0.12 mm

表 3.3.2.1-1 NPTH 設計規範

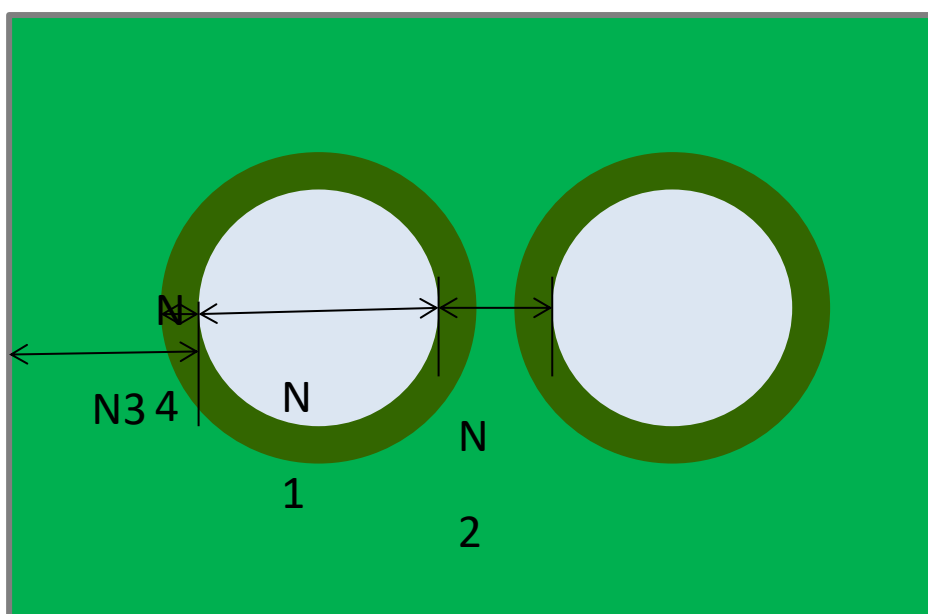


圖 3.3.2.1-1 NPTH 設計規範

[\[回到目錄\]](#)

3.3.2.2 非鍍銅貫孔 (NPTH) 設計規範—Altium 設定方法

DR.W.3 的「NPTH 鑽孔最小尺寸」在軟體中可以設定，但無法以 DRC 驗證，請使用者自行確認。除此之外，其他的設定都包含在鑽孔設定之中，不需另外設定。

3.3.2.3 非鍍銅貫孔 (NPTH)—Altium 設定方法

NPTH 的設定方式如下圖，在 PAD 元件下修改：

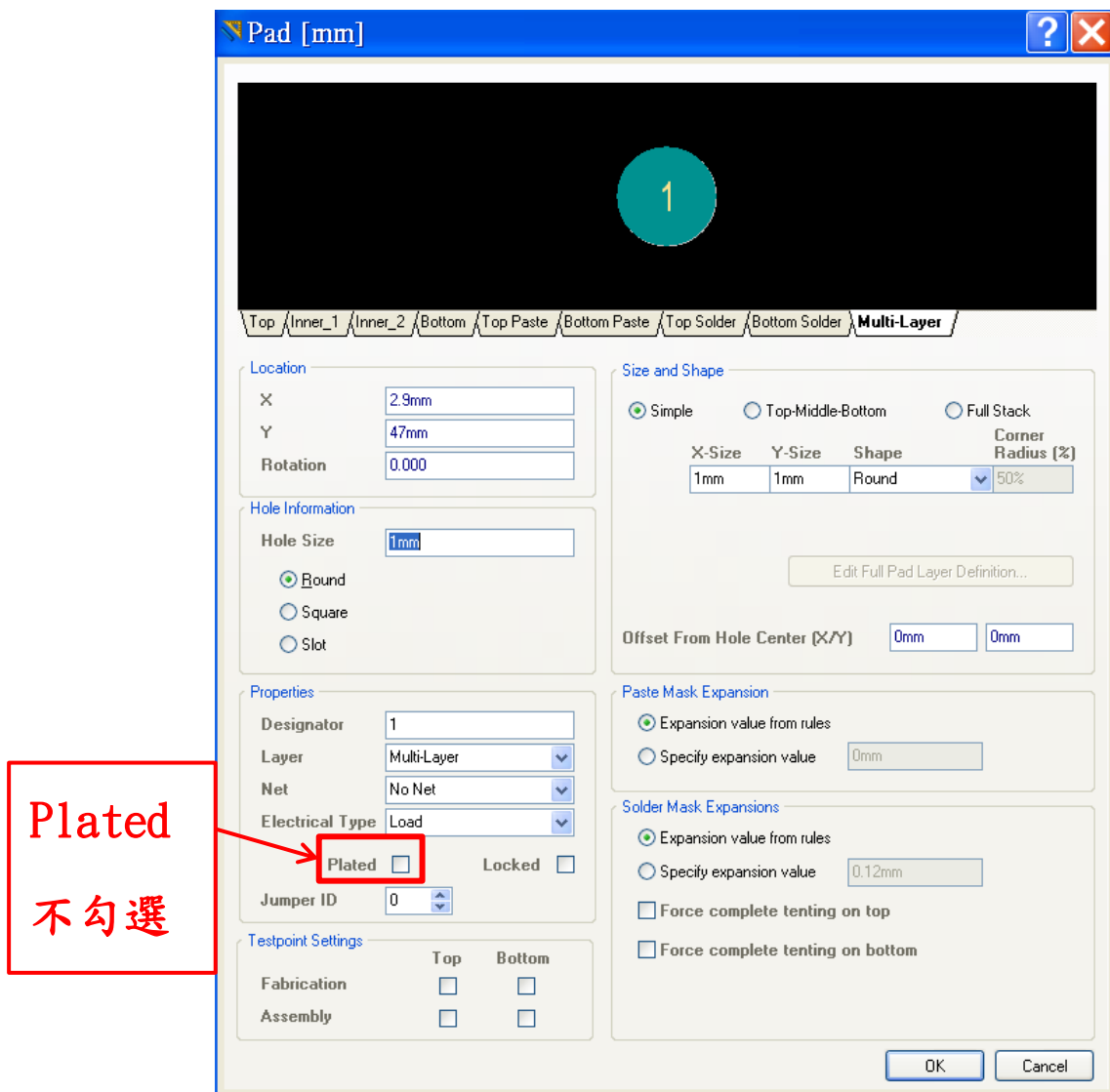


圖 3.3.2.3-1 Altium 設定—NPTH 的設定方法

3.3.3 橢圓形孔 (PTH 及 NPTH)

3.3.3.1 橢圓形孔 (PTH 及 NPTH) 設計規範

橢圓形孔可做為元件插件、螺絲孔等之用，孔的內緣可鍍銅或不鍍銅皆可。除了要符合橢圓形孔的設計規範，也同時要符合 PTH 或 NPTH 的設計規範。孔徑誤差 ± 0.075 mm。

規範命名	代號	說明	尺寸
DR.W.5	O1	橢圓孔鑽孔最小尺寸	0.55 mm
DR.W.6	O1	橢圓孔鑽孔最大尺寸	6.00 mm
DR.DR.S.3	O2	橢圓孔鑽孔圓心間最小間距	> O1
DR.DR.S.4	O3	橢圓孔間最小間距	0.5 mm
DR.RU.S.3	O4	橢圓孔到成形邊框最小距離	0.8 mm
DR.SO.E.3	O5	橢圓孔到防焊漆最小間距	0.12 mm

表 3.3.3.1-1 橢圓形孔設計規範

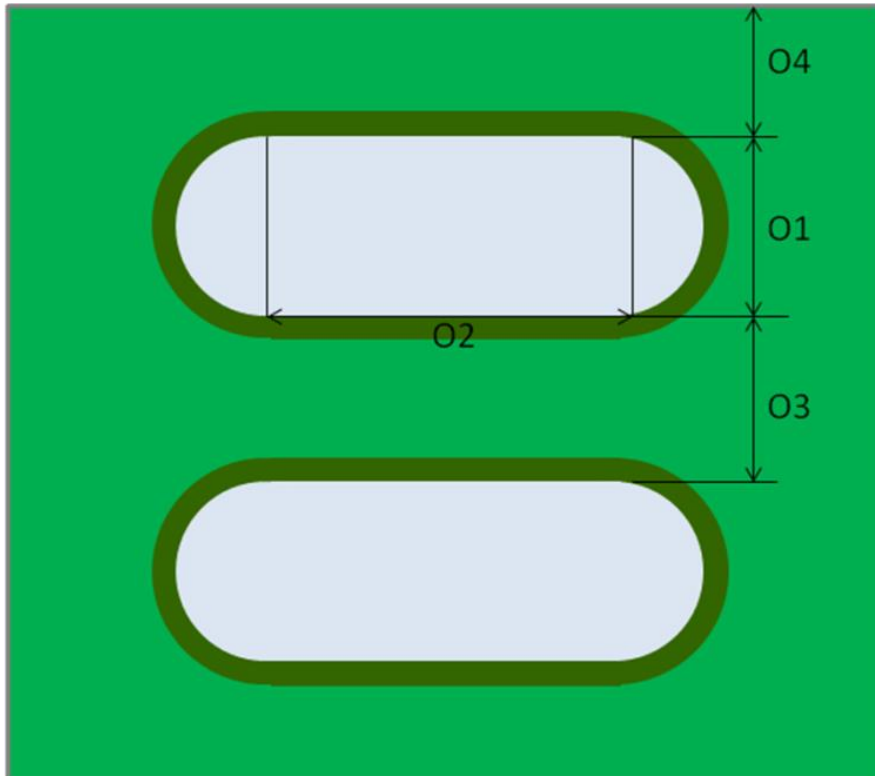


圖 3.3.3.1-1 橢圓形孔設計規範

3.3.3.2 橢圓形孔 (PTH 及 NPTH) 設計規範—Altium 設定方法

以上的項目只有 DR.SO.E.3 「橢圓孔到防焊漆最小間距」和 PTH 的鑽孔設定相同，不需另外設定。其他項目在軟體中可以設定，但無法以 DRC 驗證，請使用者自行確認。

3.4 防焊層

3.4.1 防焊層設計規範

焊墊 (Solder PAD)、測試點及裸露的金屬面為對外的金屬接點，除了要遵守金屬層的設計規範之外，也是不塗佈防焊層之處，外露的銅其上方做化金表面處理，防止銅的氧化。

因為此防焊層的佈局為負片型式，有佈局圖形之處才是沒有塗上防焊層的部分，請使用者特別注意。

通常防焊層的開口比焊墊 (PAD) 大一些。如果防焊間距太小無法下防焊漆(或稱下墨)，則改為連窗設計，如圖 3.4.2-3 的範例所示。

防焊層相關的設計規範如下：

規範命名	代號	說明	尺寸
MT.SO.E.1	S1 =D3	金屬 PAD 到防焊漆最小間距	0.12 mm
SO.W.1	S2	防焊漆下墨最小線寬	0.12 mm

表 3.4.1-1 防焊層設計規範

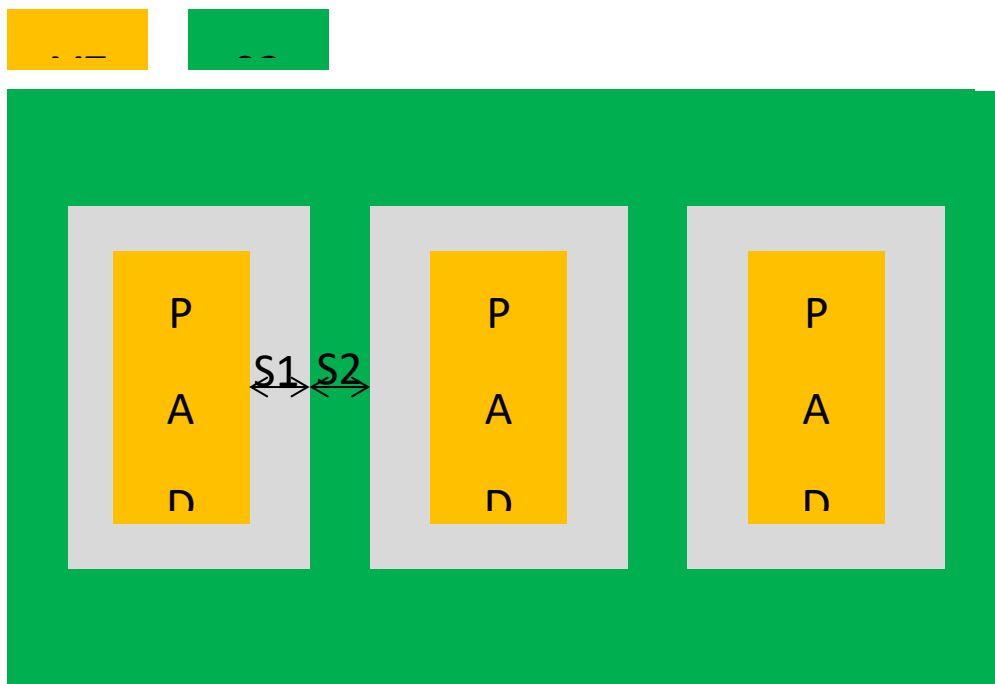


圖 3.4.1-1 防焊層設計規範

3.4.2 防焊層設計規範—Altium 設定方法

(1) MT.SO.E.1：金屬 PAD 到防焊漆最小間距

即第 3.3.1.2 (6) 的設定，包含圖 3.1.2-7 及圖 3.1.2-8。

除了 [Place > PAD](#) 會依設定值，自行加上防焊漆之外，其他的裸露金屬面，如以 [Place > Fill](#) 畫出的金屬面或內建的元件的 PAD 等，則無法以軟體驗證，請使用者自行確認。

[\[回到目錄\]](#)

(2) SO.W.1 防焊漆下墨最小線寬

於 [Manufacturing > Minimum Solder Mask Style](#) 下設定，如下圖所示：

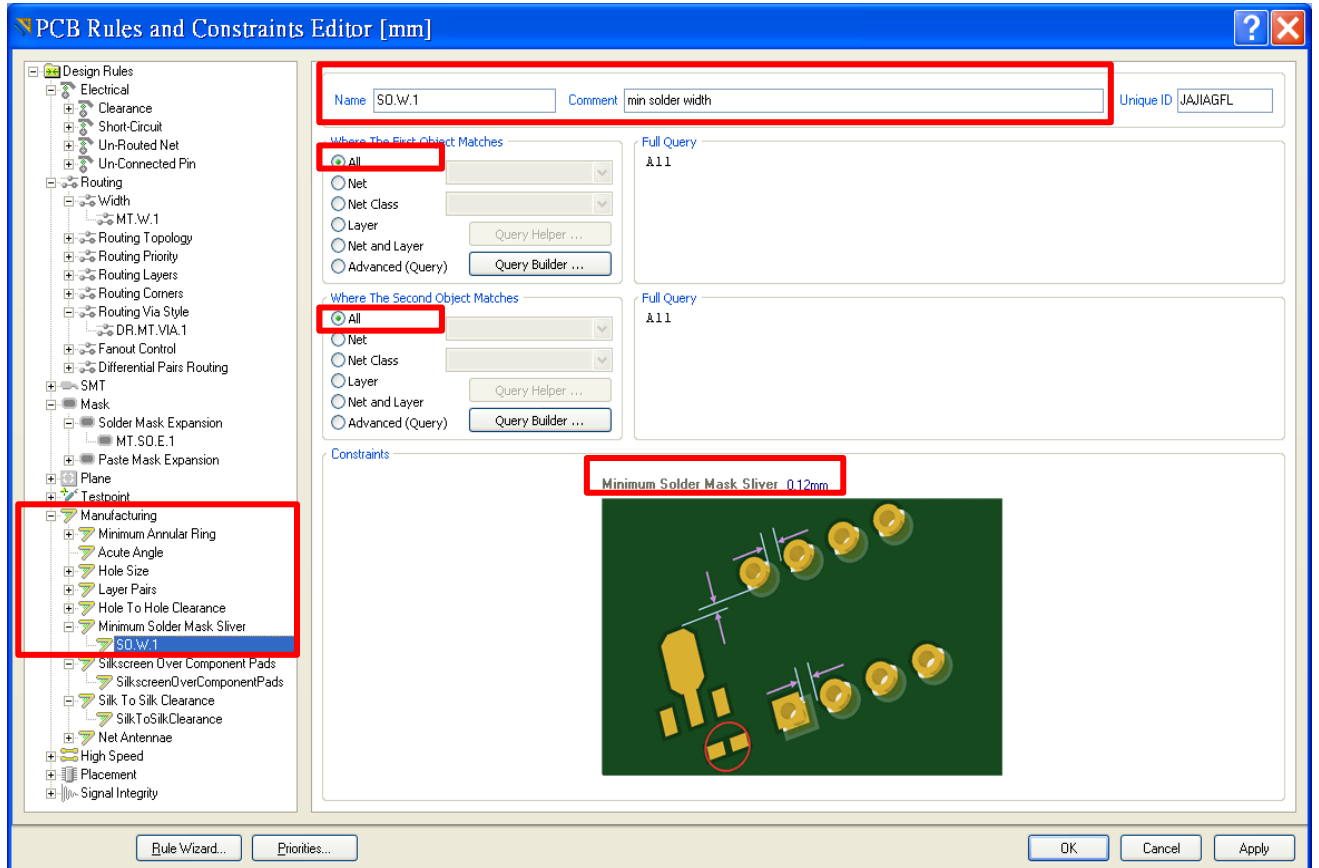


圖 3.4.2-1 Altium 設定一設計規範「防焊漆下墨最小線寬」

注意事項：

如果防焊漆間距足夠，就可以正常製作，若間距太小就無法下防焊漆，則改為連窗設計。參照下面的圖形說明。

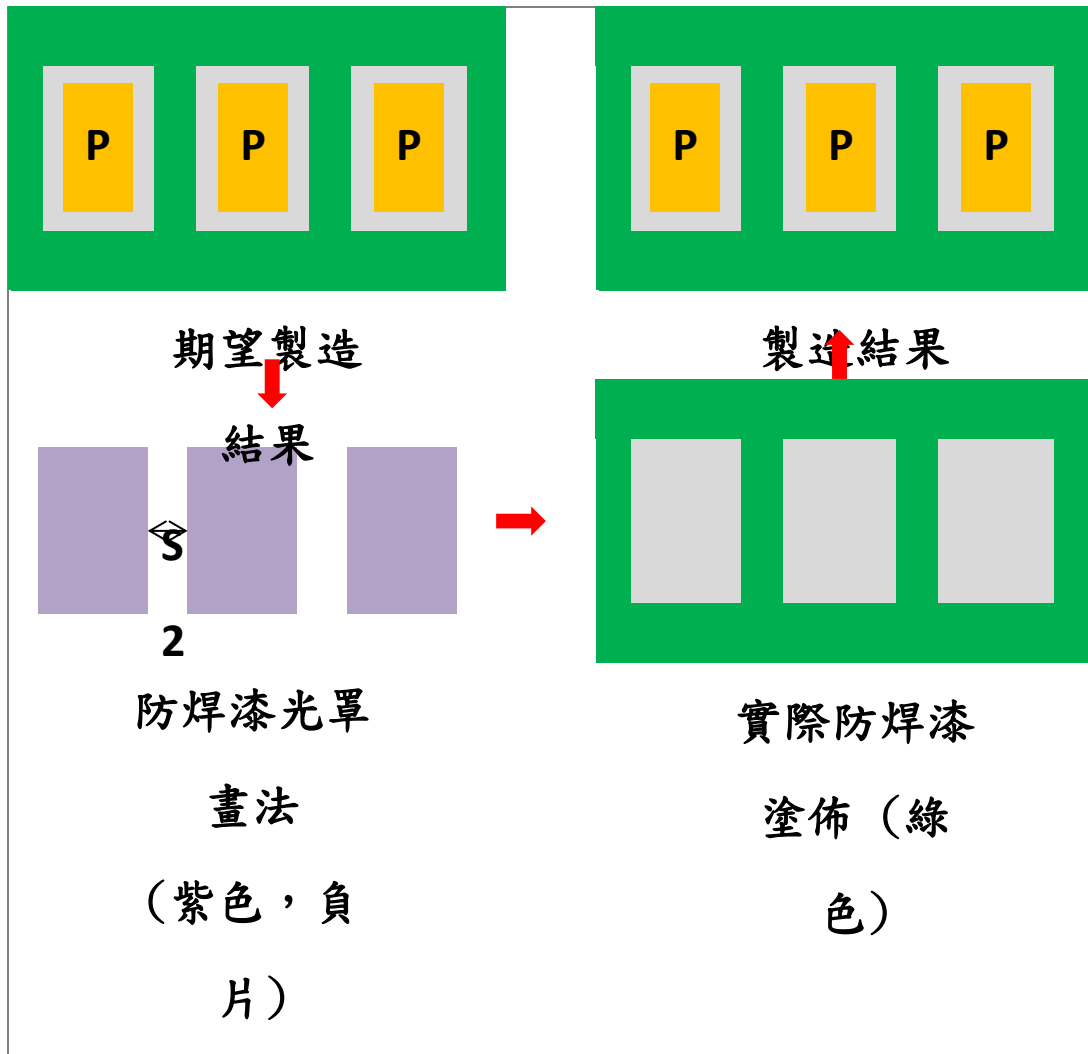


圖 3.4.2-2 「防焊漆下墨最小線寬」 S2 足夠時之製作

當 S2 太小時，如下圖：

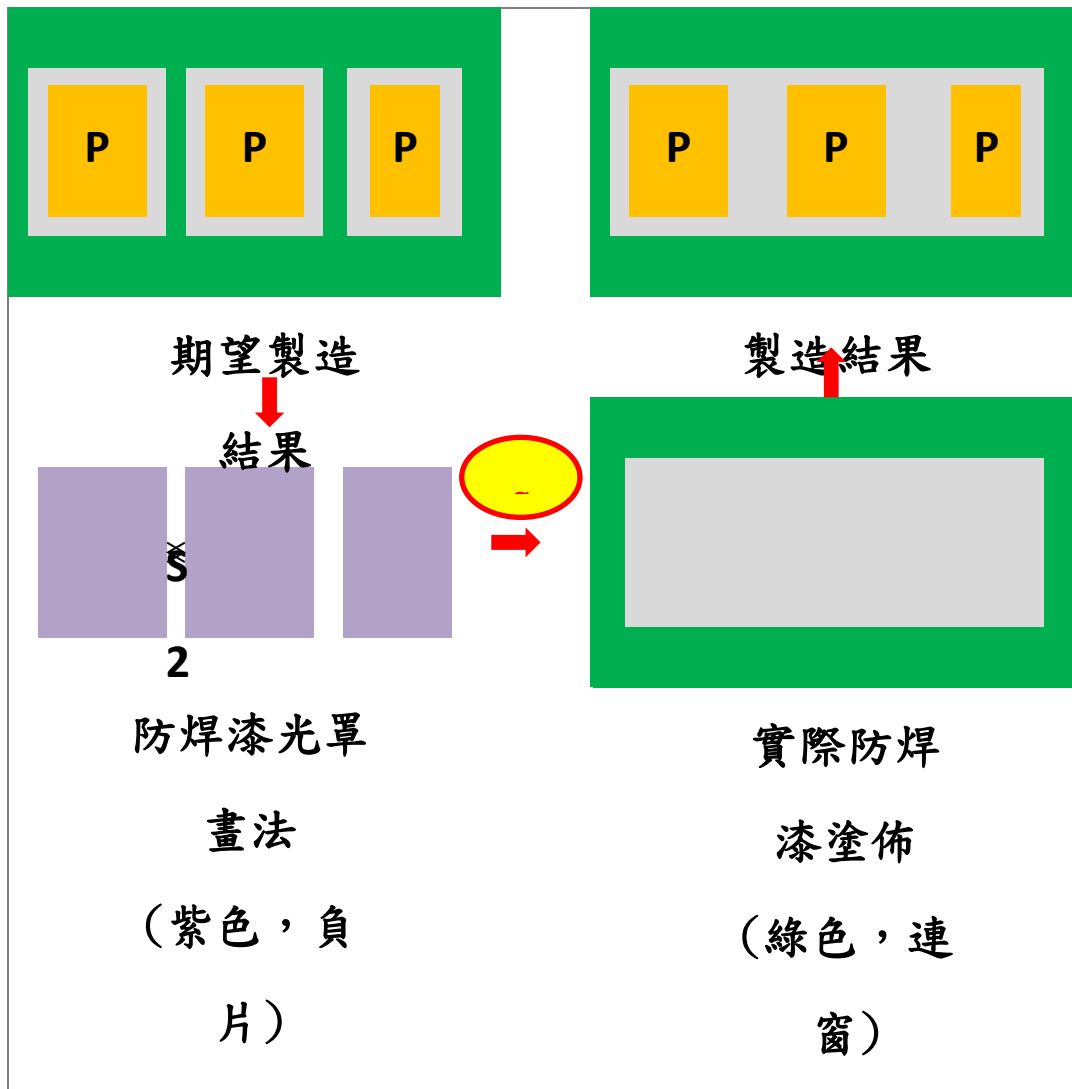


圖 3.4.2-3 「防焊漆下墨最小線寬」S2 不足之連窗製作

3.5 文字層

3.5.1 文字層設計規範

文字層在防焊層之上，通常用來標示元件、測試點或線路等之用，其對位誤差在 0.25 mm 以內。

由於 TSRI 不檢查文字層，所以請使用者不要違反以下規定，否則可能會造成文字模糊或消失等不可預期的情況發生。

[\[回到目錄\]](#)

規範命名	代號	說明	尺寸
SK.W.1	SkW	文字層最小線寬	0.20 mm
SK.H.1	SkH	文字最小高度	1.00 mm
SK.MT. S.1	SkM	文字層和 PAD 的距離	0.20 mm

表 3.5.1-1 文字層設計規範

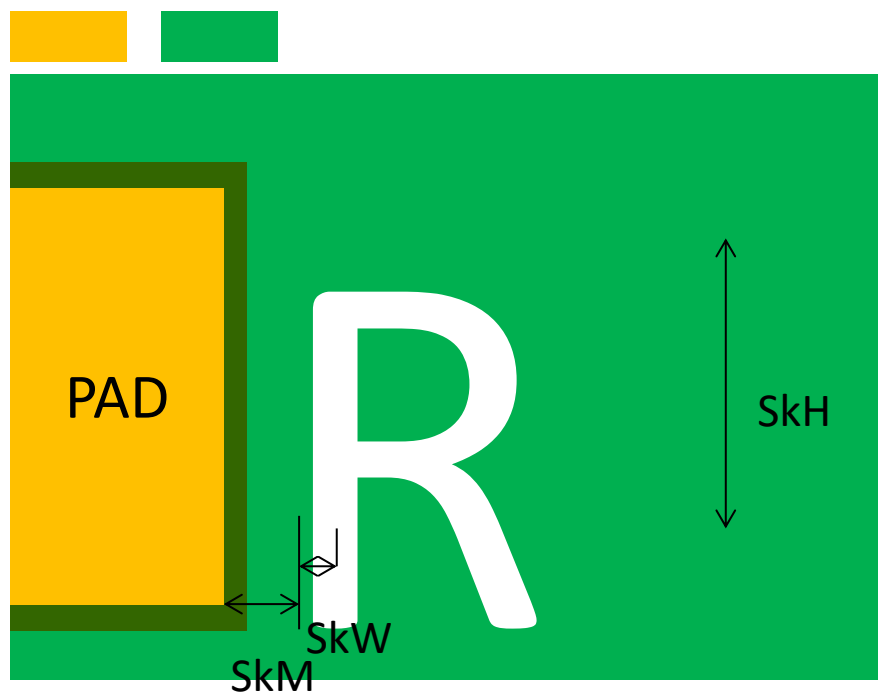


圖 3.5.1-1 文字層設計規範

SK.W.1「文字層最小線寬」、SK.H.1「文字最小高度」及「PCB 識別碼」，此三項在軟體中可以設定，但無法以 DRC 驗證，請使用者自行確認。

[\[回到目錄\]](#)

3.5.2 文字層設計規範—Altium 設定方法

(1) SK.MT. S.1：文字層和 PAD 的距離

於 [Manufacturing > Silkscreen Over Component Pads](#) 下設定，如下二圖所示，擇一設定：

示，擇一設定：

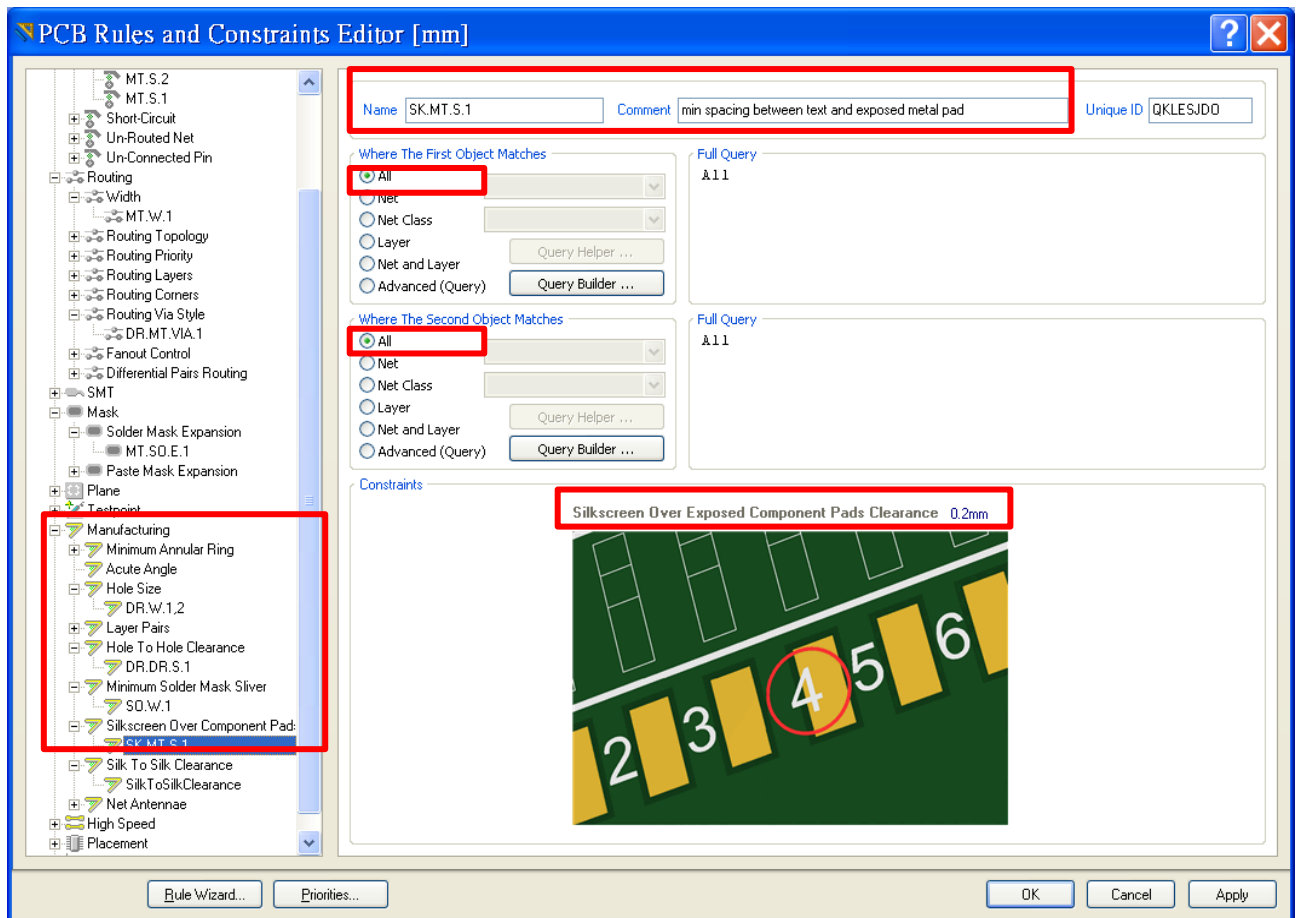


圖 3.5.2-1 Altium 設定—設計規範「文字層和 PAD 的距離」方法一

[\[回到目錄\]](#)

也可以將 PAD 元件特別提出，如下圖所示：

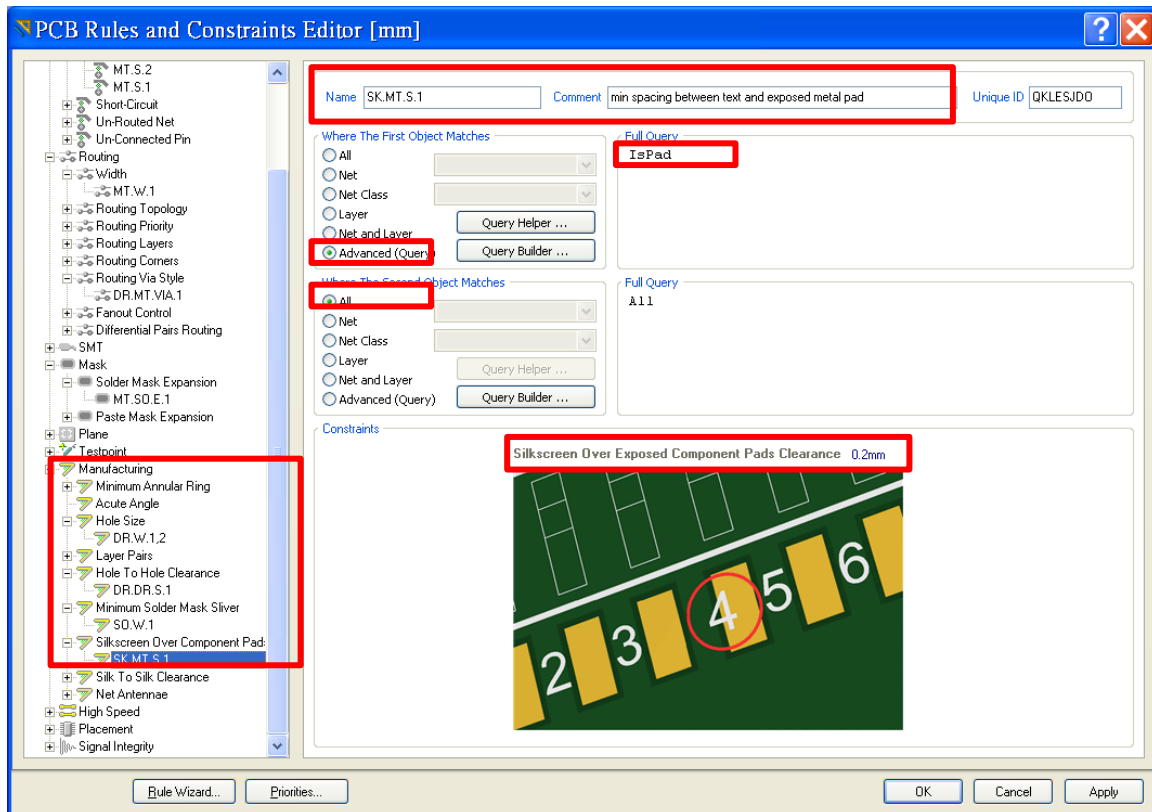


圖 3.5.2-2 Altium 設定一設計規範「文字層和 PAD 的距離」方法二

[\[回到目錄\]](#)

3.5.3 「PCB 識別碼」標示

在文字層，以文字加框線，標示於 PCB 設計板的左上方適宜之處，如下圖

所示：

編號方式：

製程代號_ 年度梯次_ 自行編號

2L_ 102A_ 4 個字的大寫字母或數字



圖 3.5.3-1 「PCB 識別碼」標示

3.6 機械加工層

3.6.1 成形邊框 KO 及定位孔

機械加工 KeepOut 層(KO)，將 PCB 外形的成形邊框畫在這一層，為實際上製作完成的 PCB 輪廓。

3.6.1.1 成形邊框 KO 及定位孔 設計規範

- (a) 成形邊框為機械加工，一定要畫在 KeepOut 這一層，如 KO 所示。
- (b) 其他每一層 **不需** 畫上成形邊框。
- (c) **成形邊框四周**，請畫上一個 **直徑大於 1mm NPTH 孔** (要符合設計規範，，**不要用 PTH**，因其內部鍍銅在定位時可能會剝落)，做為機械加工定位之用。如下圖 KH 所示：

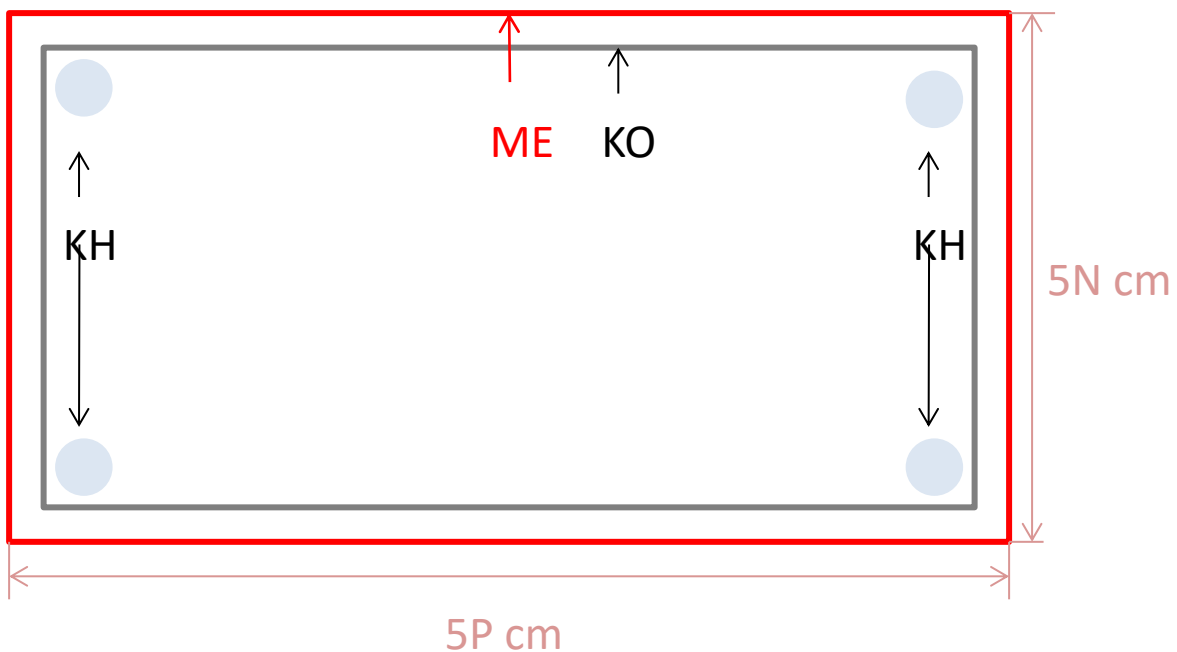


圖 3.6.1.1-1 成形邊框 KO 及定位孔 KH

規範命名	代號	說明	尺寸
KO.W.1	KOW	成形邊框線寬	0.12 mm
KO.H.1	KH	定位孔最小直徑	1.0 mm
KO.H.2	KH	定位孔屬性	NPTH

表 3.6.1.1-1 成形邊框 KO 設計規範

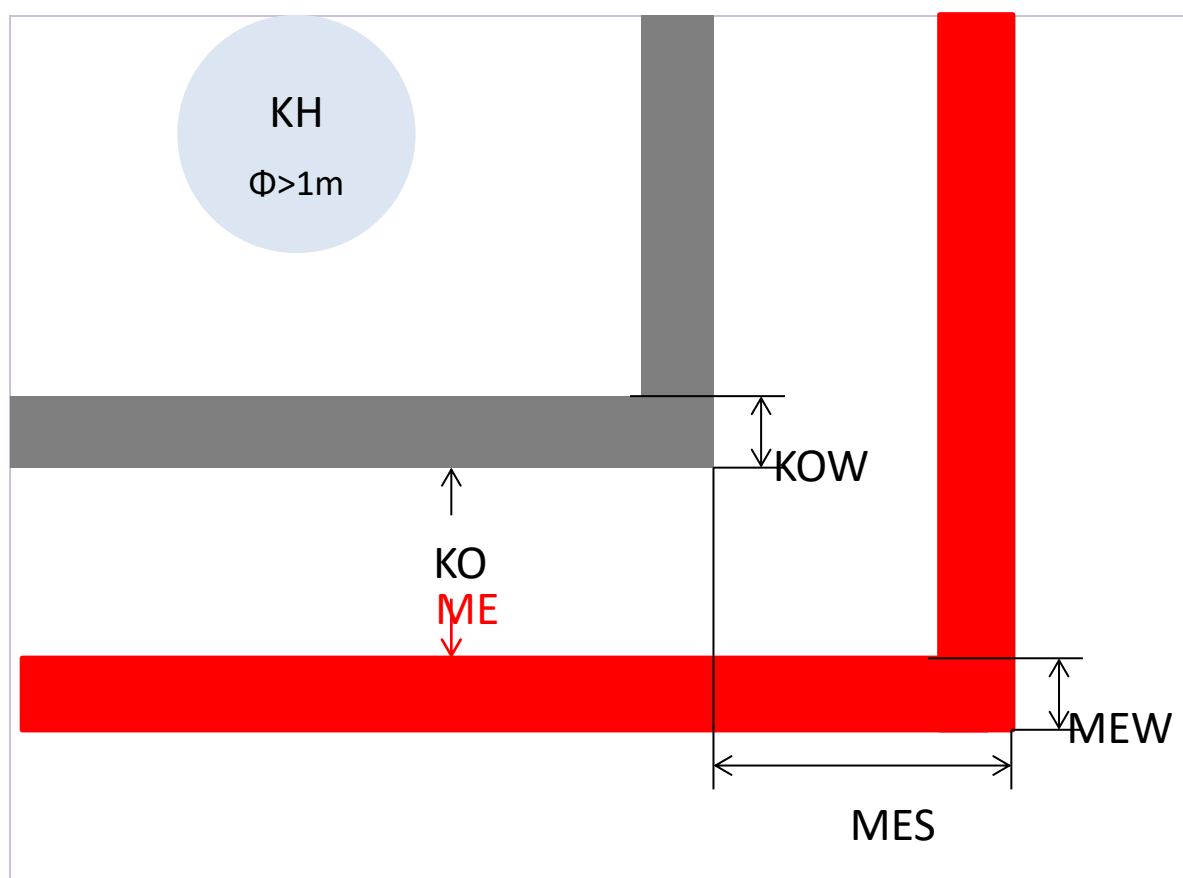


圖 3.6.1.1-2 成形邊框 KO 設計規範

3.6.1.2 成形邊框 KO 及定位孔 設計規範—Altium 設定方法

而 KO.W.1 成形邊框線寬及 KO.H.1 定位孔最小直徑、屬性為 NPTH 三項，在

[\[回到目錄\]](#)

軟體中可以設定，但無法以 DRC 驗證，請使用者自行確認。

3.6.2 製作尺寸及外圍邊框 ME

機械加工 Mechanical 1 層(ME)，即外圍邊框畫在這一層，將 PCB 的製作尺寸，即表 3.6.2.1-1 的尺寸，和 KO 層成型邊框的間隔為機械加工銑刀之用。

3.6.2.1 製作尺寸及外圍邊框 ME 設計規範

請在每個完成的 PCB 設計的成形邊框 KO 之外，畫上一個外圍邊框 ME，沿著成形邊框 KO 畫，兩者距離 1.5 mm。尺寸詳細規定如表 3.6.2.1-1，為下圖紅色框線 ME 所示，主要作用為 PCB 製作費用計算。

外圍邊框 ME 和成形邊框 KO 之間的空間，為機械加工工具在處理成形邊框時的製作損耗。

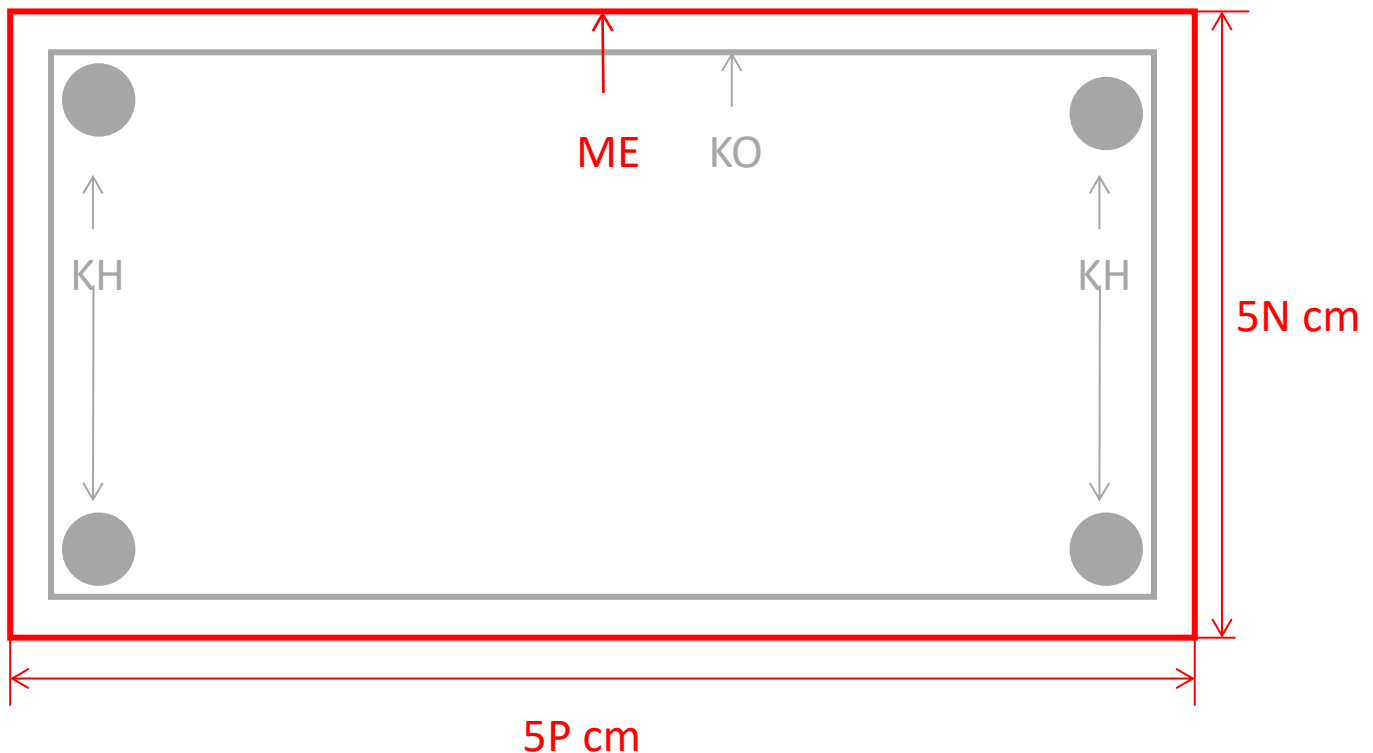


圖 3.6.2.1-1 PCB 外圍邊框 ME 和成形邊框 KO

PCB 製作尺寸：

外圍邊框 ME 的大小為 PCB 製作尺寸，只接受邊寬、邊長為以下規格的尺寸。N, P 皆為整數。

PCB 製程代號	PCB 製作內容	邊長 (cm)	邊寬 (cm)	最小尺寸邊長 (cm×cm)	最大尺寸邊長 (cm×cm)
PCB_2L	FR4 兩層板	5P	5N	5 x 5	20 x 30
PCB_4L	FR4 四層板	5P	5N	5 x 5	20 x 30
PCB_2LHF	RO4003 高 頻兩層板	5.2 P	4.75 N	5.2 x 4.75	20.8 x 28.5

表 3.6.2.1-1 外圍邊框 ME—PCB 製作尺寸

PCB 單位面積：

即上表之「最小尺寸」形成之面積，其邊長、邊寬也相同。

PCB 單位面積數：

此外圍邊框 ME 的用途為計算「PCB 單位面積數」，是收費的基準。PCB 單位面積數的計算公式如下：

$$\text{PCB 單位面積數} = (\text{PCB 邊長} / \text{單位面積的邊長}) \times (\text{PCB 邊寬} / \text{單位面積的邊寬})$$

相乘之前，無條件進位，結果為一整數。

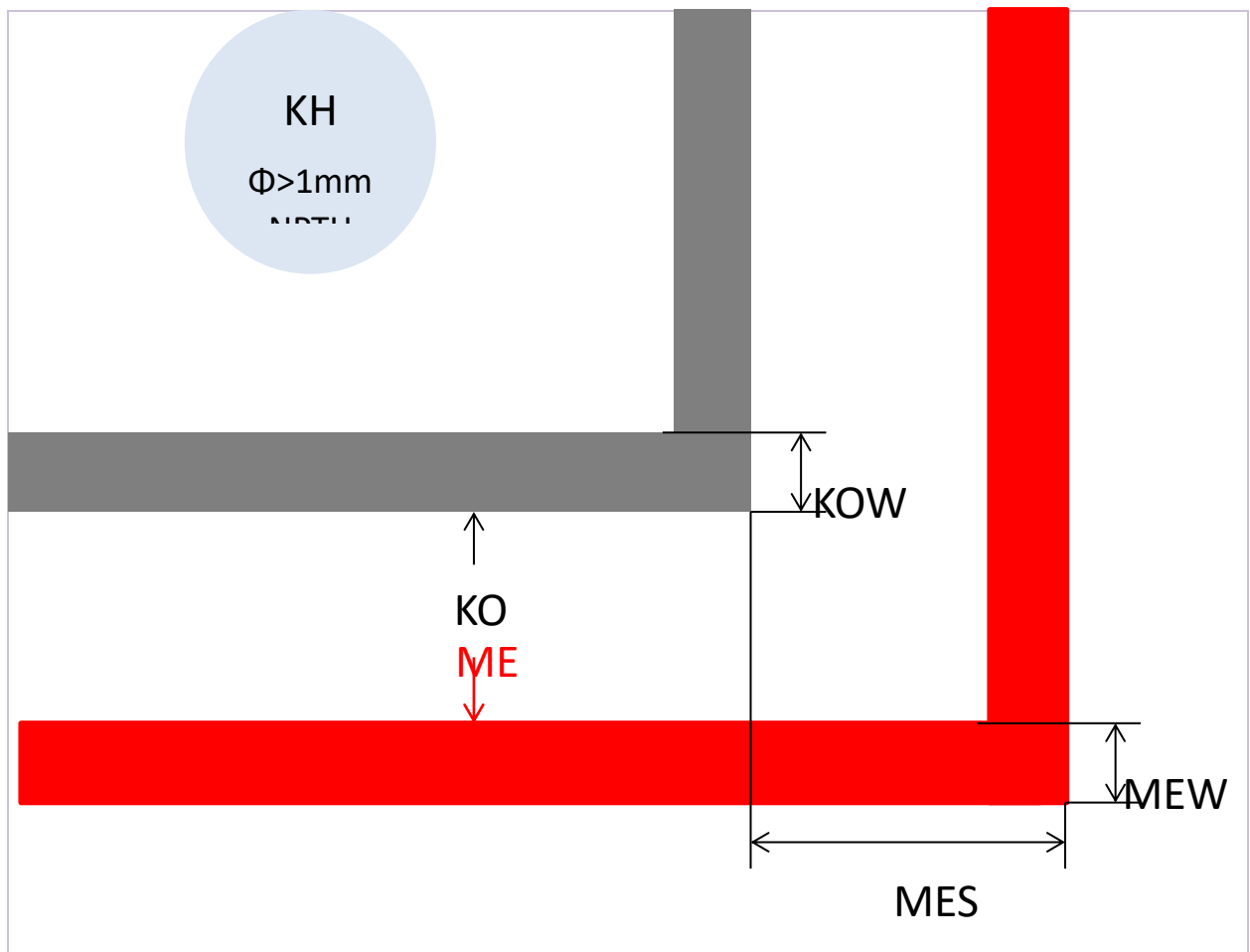
PCB 邊長、邊寬：定義於外圍邊框 ME 層，非 KO 層，見表 4.6.2-1

單位面積的邊長、邊寬：定義於表 3.6.2.1-1

下圖紅色線條為外圍邊框 ME，其規範如下：

規範命名	代號	說明	尺寸
ME.W.1	MEW	外圍邊框線寬	0.12 mm
ME.S.1	MES	外圍邊框到成形邊框的距離	1.50 mm

表 3.6.2.1-2 外圍邊框 ME 設計規範



[\[回到目錄\]](#)

圖 3.6.2.1-2 外圍邊框 ME 設計規範

[\[回到目錄\]](#)

3.6.2.2 製作尺寸及外圍邊框 設計規範—Altium 設定方法

機械加工 Mechanical 1 層(ME)，其 ME.W.1 外圍邊框線寬及 ME.S.1 外圍邊框到成形邊框的距離兩項，在軟體中可以設定，但無法以 DRC 驗證，請使用者自行確認。

[\[回到目錄\]](#)

4. Altium Gerber 及 Drill 的設定及輸出

4.1 輸出 Gerber Data 時的格式確認

預設值已經是 RS 274X，可由下方的表格看出，請再確認方格是否有打

勾：指令 [PCB Window > File > Fabricaiton Outputs > Gerber Files > Apetures](#)

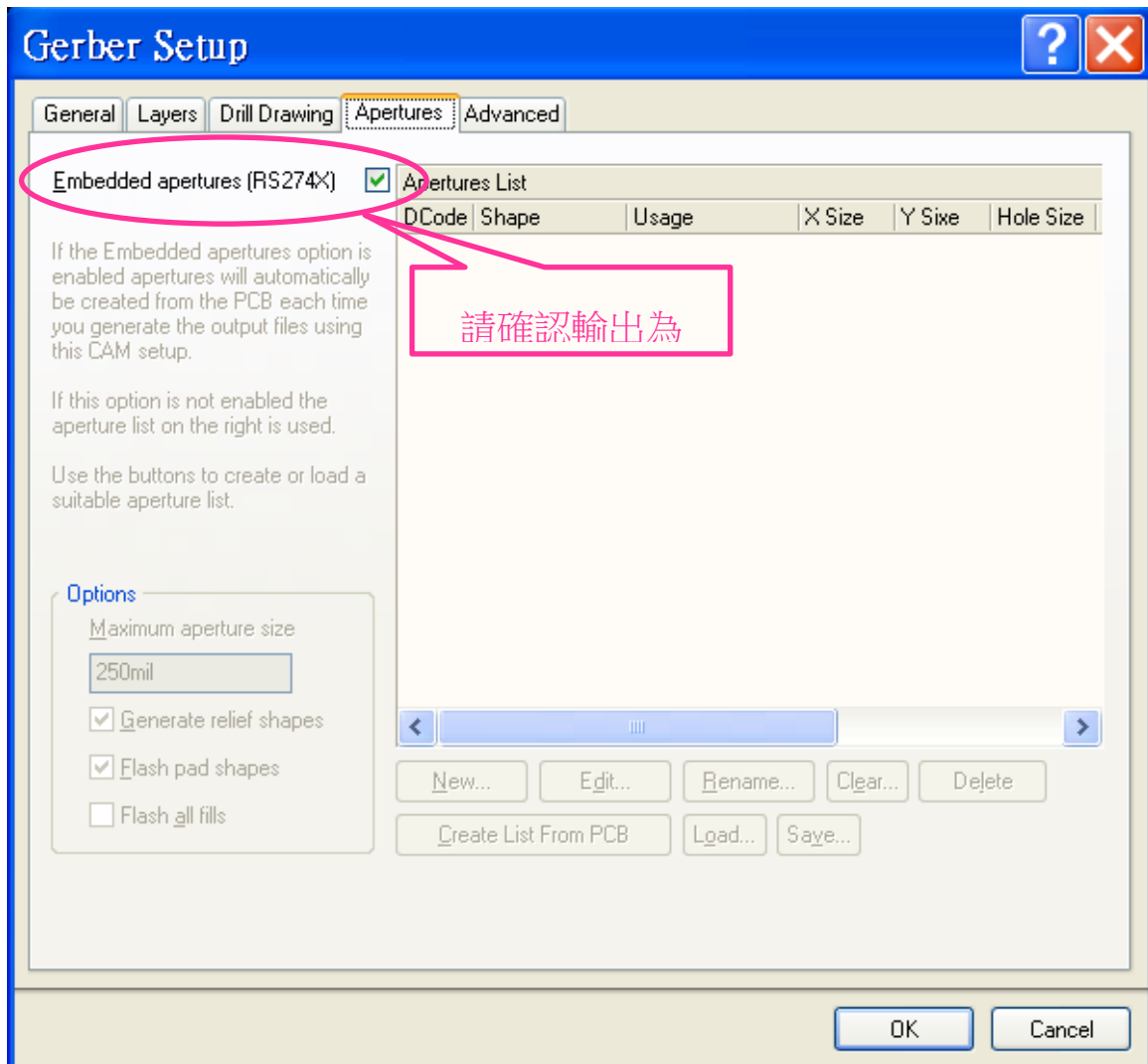


圖 4.1-1 Altium Gerber 輸出格式確認

[\[回到目錄\]](#)

4.2 輸出 Gerber data 時之相關參數設定

指令 [PCB Window > File > Fabricaiton Outputs > Gerber Files > General](#)，如下

圖所示：

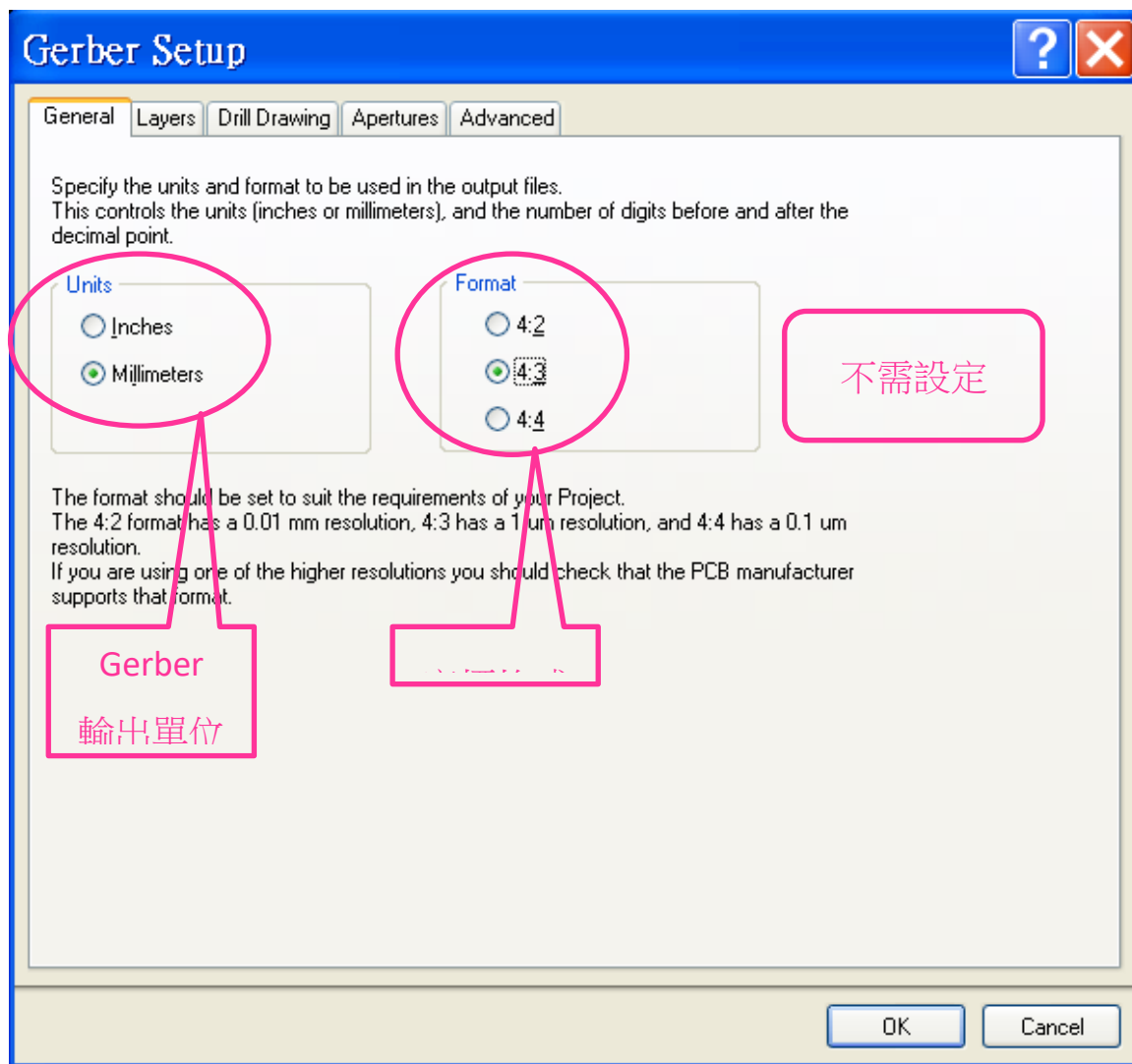


圖 4.2-1 Altium 輸出 Gerber data 時之相關參數設定一

[\[回到目錄\]](#)

指令 **PCB Window > File > Fabricaiton Outputs > Gerber Files > Advanced**，如

下圖所示：

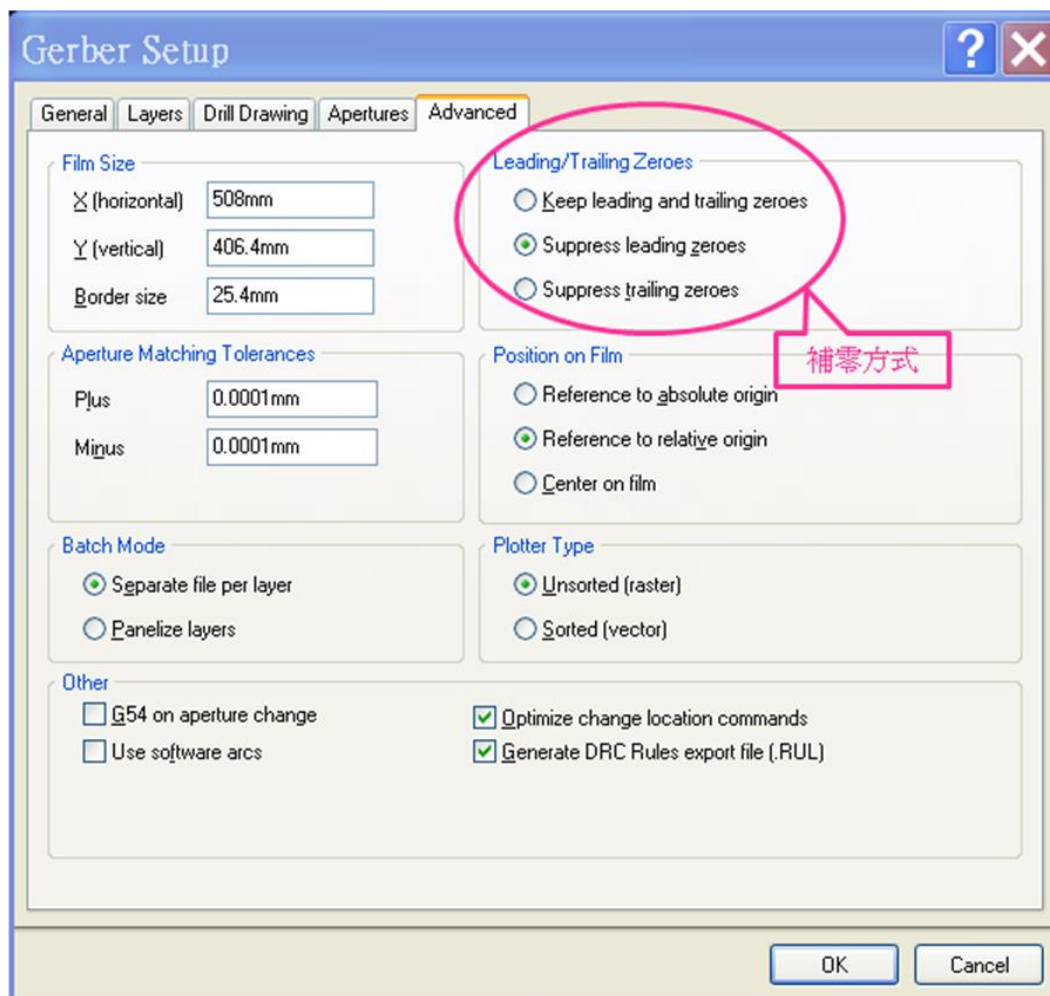


圖 4.2-2 Altium 輸出 Gerber data 時之相關參數設定二

如同上方兩個圖形的設定，則其 Gerber data 基本資料(需填寫於 PCB 設計內容電子檔中)如下方表格所示：

Output Units (輸出單位)	<input type="checkbox"/> Inches (English)
	<input checked="" type="checkbox"/> Millimeters (Metric)
Format (座標格式) (I:D)	Integral (Leading) = 4
	Decimal (Trailing) = 3
Coordinates (座標表達方式)	<input type="checkbox"/> Absolute
	<input type="checkbox"/> Incremental
	<input checked="" type="checkbox"/> Not applicable
Zeros suppression (補零方式)	<input checked="" type="checkbox"/> Leading Zeros suppression
	<input type="checkbox"/> Trailing Zeros suppression
	<input type="checkbox"/> None (Keeping leading and trailing zeros)

表 4.2-1 Altium 輸出 Gerber data 時之相關參數設定

4.3 輸出 NC Drill Data (鑽孔資料) 時之相關參數設定

指令 [PCB Window > File > Fabricaiton Outputs > NC Drill Files](#)，如下圖：

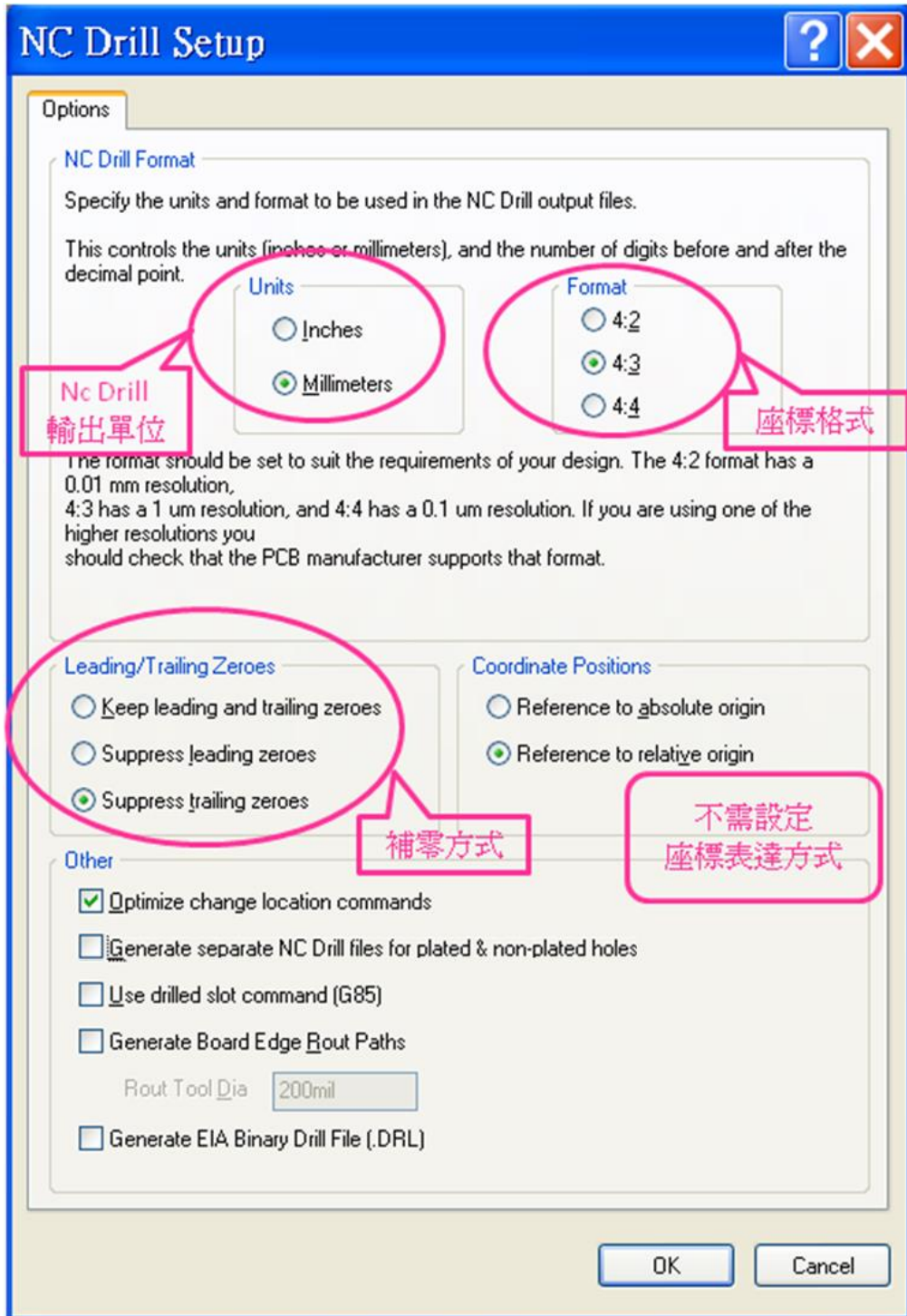


圖 4.3-1 Altium 輸出 NC Drill Data 時之相關參數設定

[\[回到目錄\]](#)

如同上方圖形的設定，則其 NC Drill Data 基本資料 (需填寫於 PCB 設計內容電子檔中)，如下方表格所示：

Output Units (輸出單位)	<input type="checkbox"/> Inches (English)
	<input checked="" type="checkbox"/> Millimeters (Metric)
Format (座標格式) (I:D)	Integral (Leading) = 4
	Decimal (Trailing) = 3
Coordinates (座標表達方式)	<input type="checkbox"/> Absolute
	<input type="checkbox"/> Incremental
	<input checked="" type="checkbox"/> Not applicable
Zeros suppression (補零方式)	<input type="checkbox"/> Leading Zeros suppression
	<input checked="" type="checkbox"/> Trailing Zeros suppression
	<input type="checkbox"/> None (Keeping leading and trailing zeros)

表 4.3-1 Altium 輸出 NC Drill Data 時之相關參數設定

[\[回到目錄\]](#)

4.4 輸出 Gerber data 時之其他相關參數設定

4.4.1 輸出 Gerber data 時，Layers 相關參數設定

指令 [PCB Window > File > Fabricaiton Outputs > Gerber Files > Layers](#)，如下

圖所示：

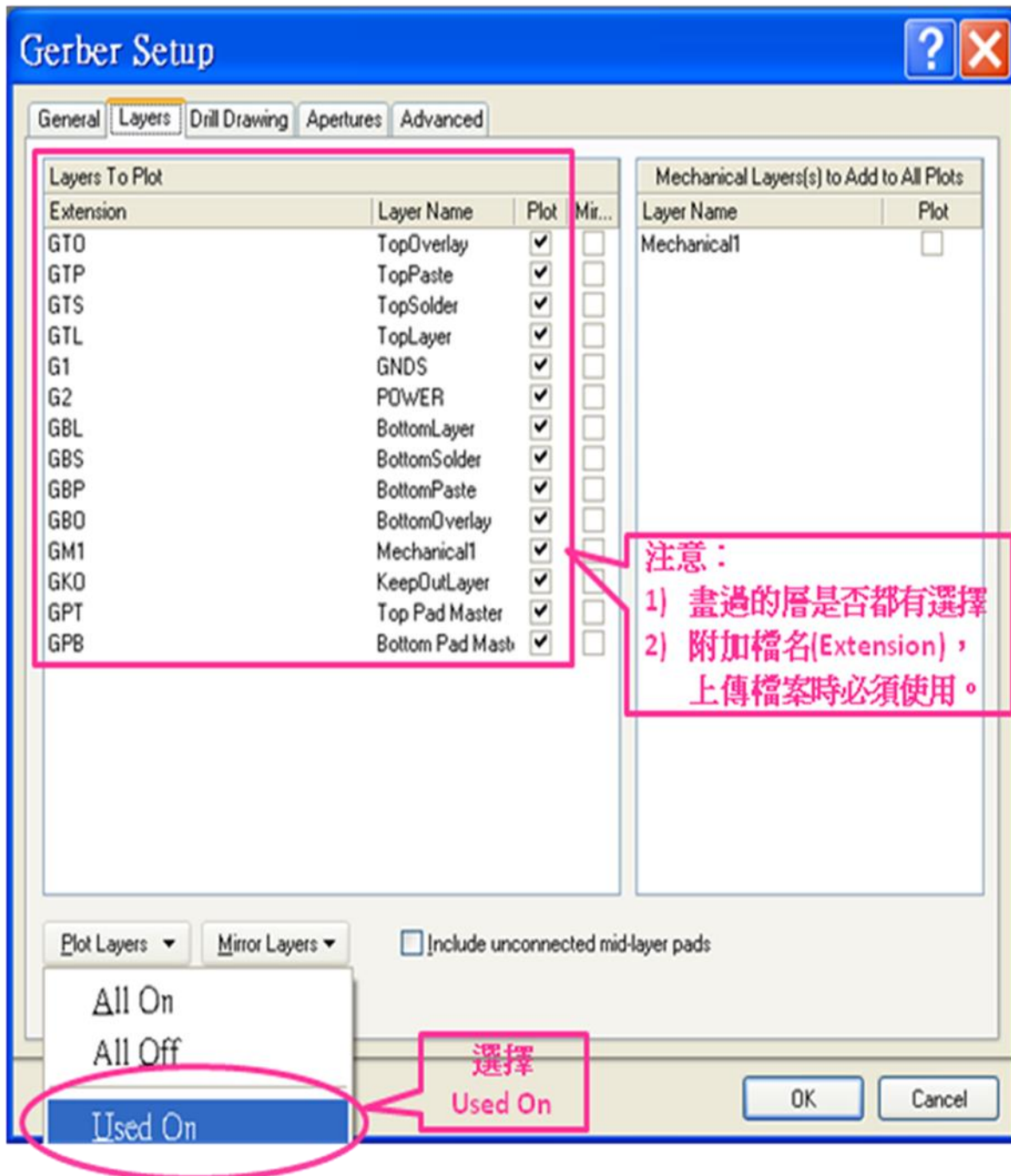


圖 4.4.1-1 Altium 輸出 Gerber data 時，Layers 相關參數設定

[\[回到目錄\]](#)

4.4.2 輸出 Gerber data 時，Drill Drawing 相關參數設定

指令 [PCB Window > File > Fabricaiton Outputs > Gerber Files > Drill](#)

[Drawing](#)，如下圖所示：

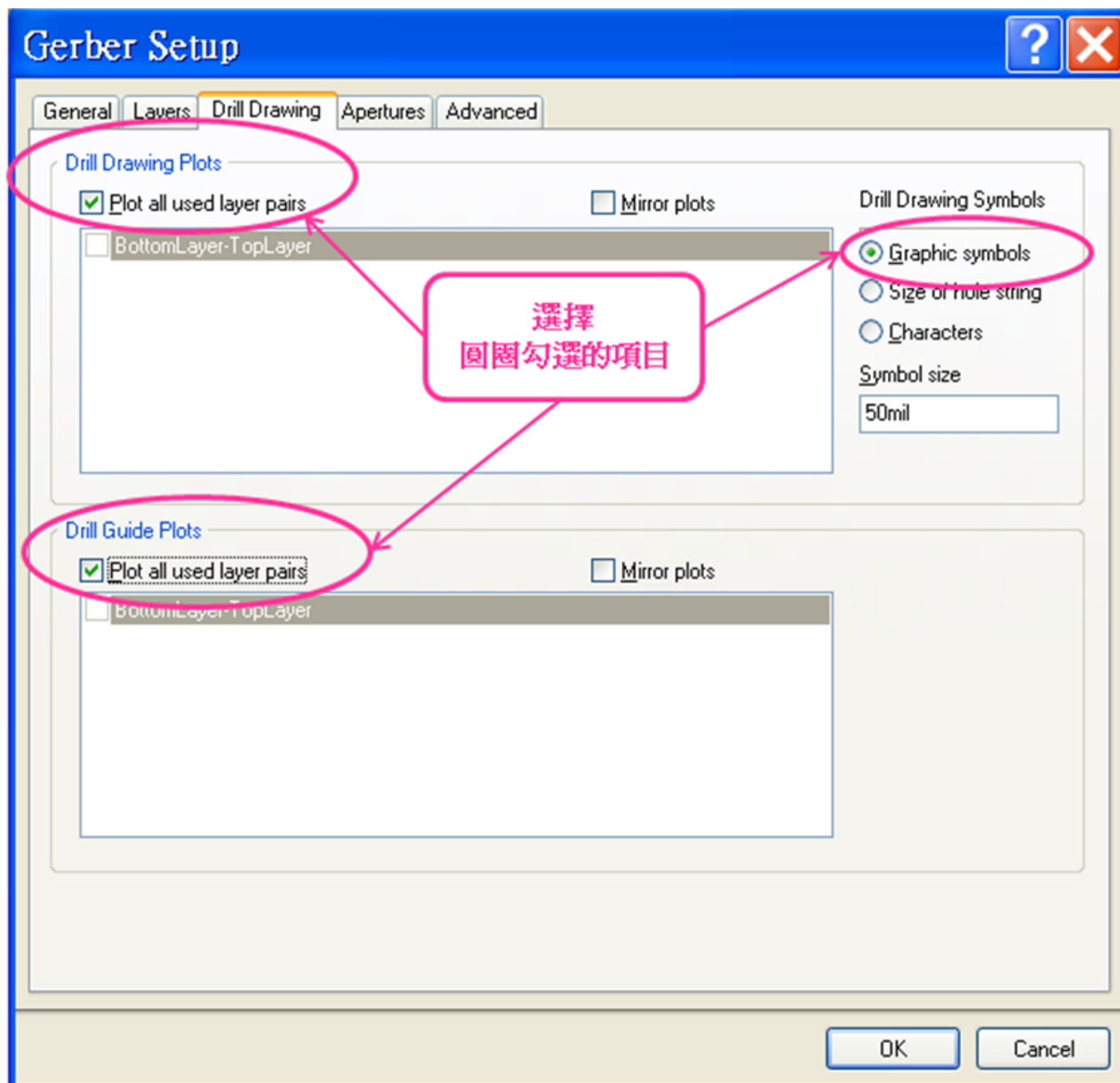


圖 4.4.2-1 Altium 輸出 Gerber data 時，Drill Drawing 相關參數設定

[\[回到目錄\]](#)

4.4.3 輸出 Gerber data 時，產生 Drill Table 的設定

指令「**.Legend**」，放置於「Drill Drawing 層」，如下圖所示：

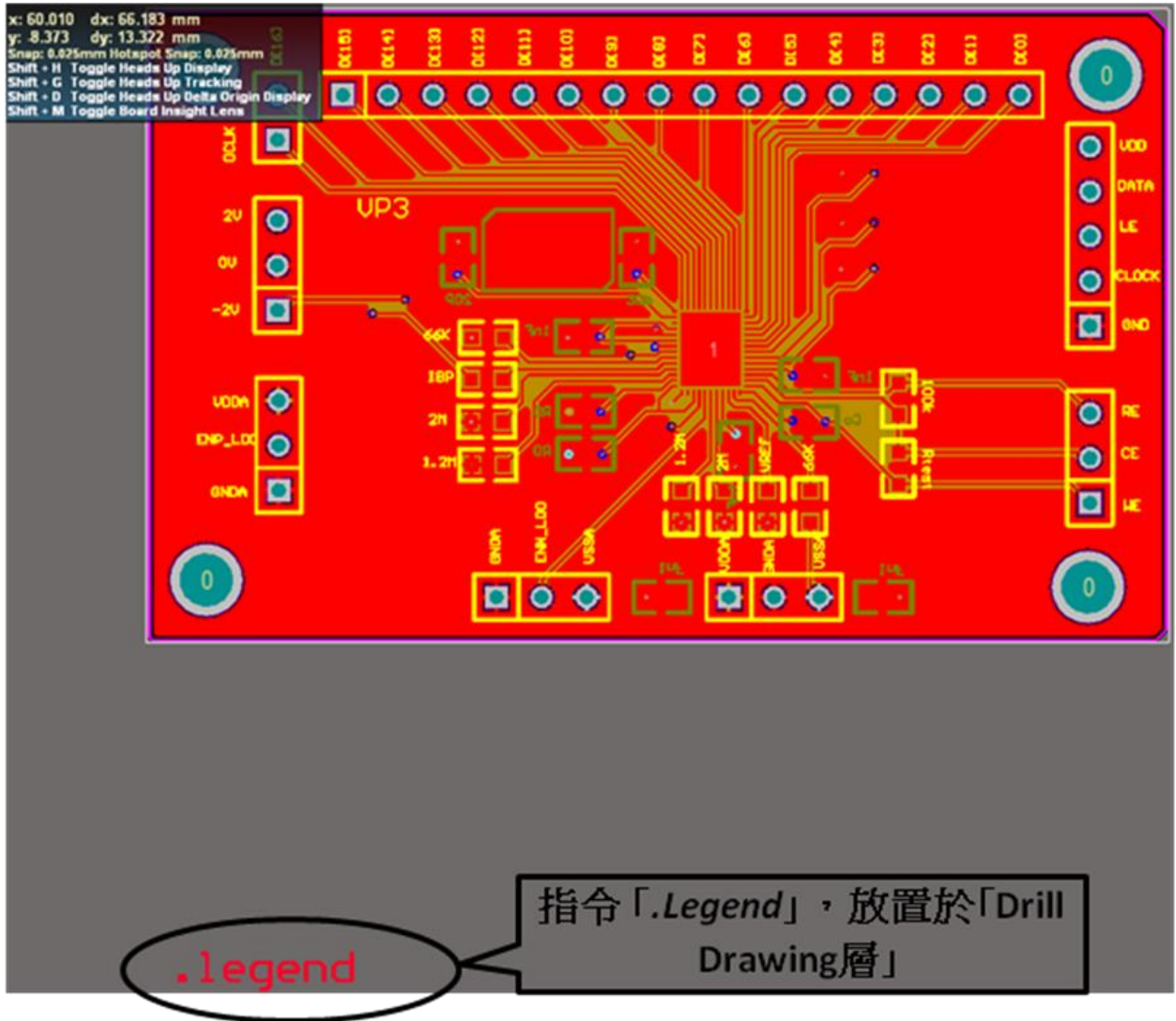


圖 4.4.3-1 Drill Table 產生的設定方法

在輸出 Gerber Files 時，已有之 Drill Drawing 層的 `.Legend` 設定，會產生 `xxx.gd1` 及 `xxx.gg1` 檔案。請上傳 `xxx.gd1` 及 `xxx.gg1` 檔案。

如果產生的 Drill Table 重疊到佈局圖形，只要移動 `.Legend` 文字至適當之

[\[回到目錄\]](#)

處即可。

以下範例使用 Altium 軟體只顯示 xxx.gd1 檔案的情形 (如下圖形，在 Altium 軟體按右下角”**CAMtastic**”，就會出現左上角各檔案的清單)，就會看到鑽孔定位及 Drill Table。

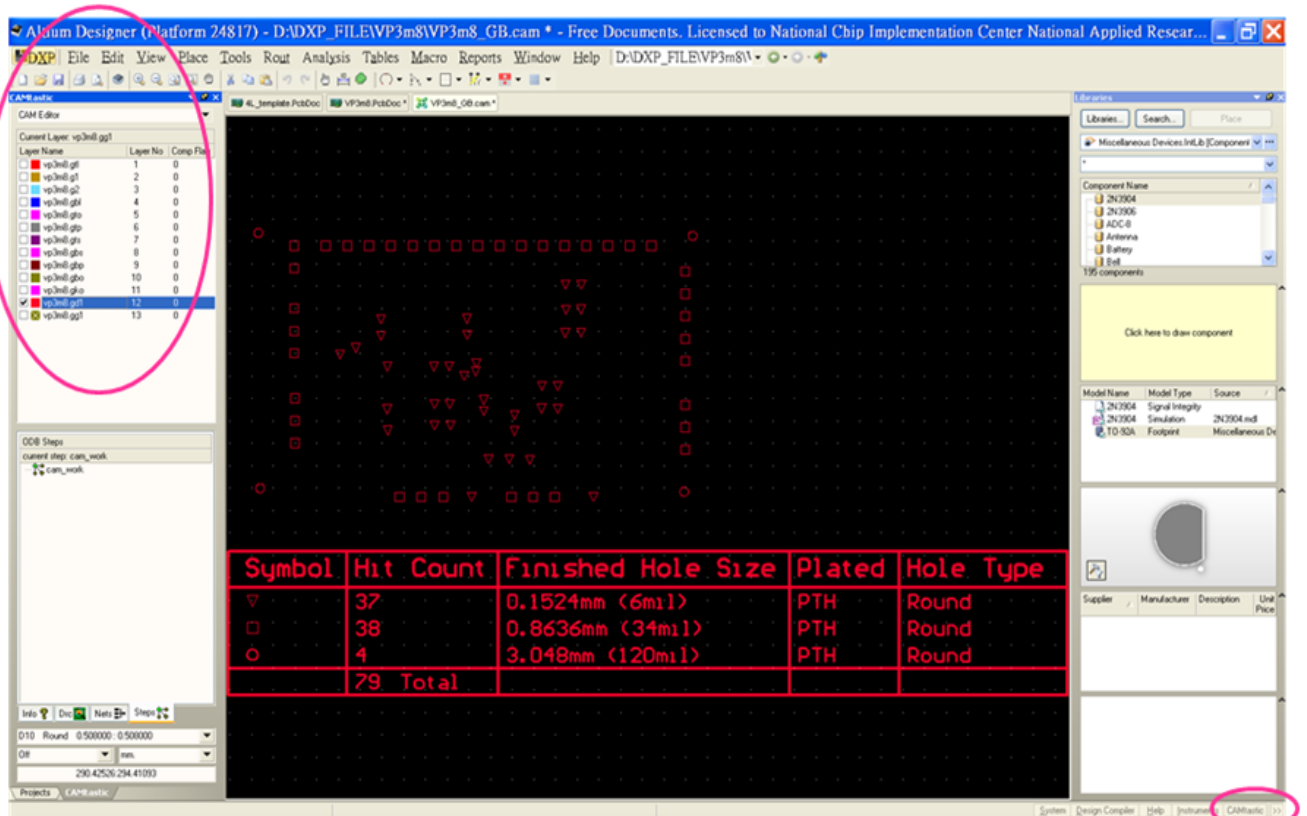


圖 4.4.3-2 Drill Table 的產生結果

5. CAM 檔再檢視

為了確保 Gerber 檔案及 NC Drill 檔案輸出正確，以進行 PCB 製作，可以將 .GTL、.TXT、.GD1 及 .GG1 等檔案再以 Altium 軟體打開檢視，並貼圖至「PCB 設計內容電子檔」之中。

指令 [File > Open > 選取 CAM file 或 Text file 類型](#)，或

直接在 [Windows 檔案總管](#) 之下打開檔案。

此外，以下示範以其他免費的 CAM (Computer Aided Manufacturing，電腦輔助製造) 軟體 gerbv 做再次的檢視。

[[回到目錄](#)]

(1) 下載 gerbv 軟體：(以 Google 找尋 gerbv)



圖 5-1 免費 CAM 軟體 gerbv 下載

(2) 安裝及執行。

注意：要載入的檔案及路徑名稱皆要為英文或數字，不可為中文，否則可能會有預期不到的錯誤產生。

(3) Gerber 檔案的再檢視：

將 4 層資料 (Top + 文字層_top + KO + ME) 載入，

指令 File > Open Layers，

[\[回到目錄\]](#)

將 .GTL、.GTO、.GKO 及 .GM1 等四個檔案載入，如下圖所示，並貼於「PCB 設計內容電子檔」之中，並且檢查「PCB 辨別碼」、定位孔、成形框線及外圍框線是否符合設計規範：

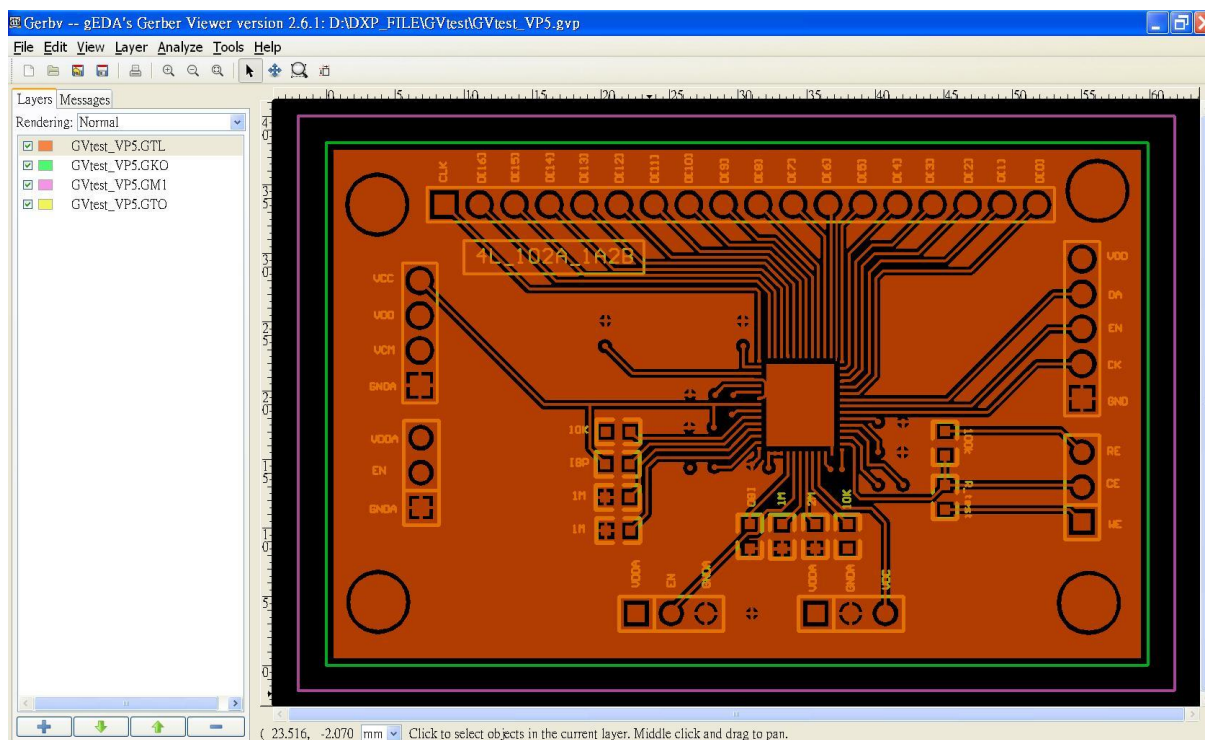


圖 5-2 以 gerbv 免費 CAM 軟體做 Gerber 檔案的再檢視

[\[回到目錄\]](#)

(4) NC Drill 的再檢視：

將 2 層資料 載入，.GD1 及 .GG1 等兩個檔案載入，，並貼於「PCB 設計內容電子檔」之中，並且檢查定位孔的大小及是否為 NPTH，如下圖所示：

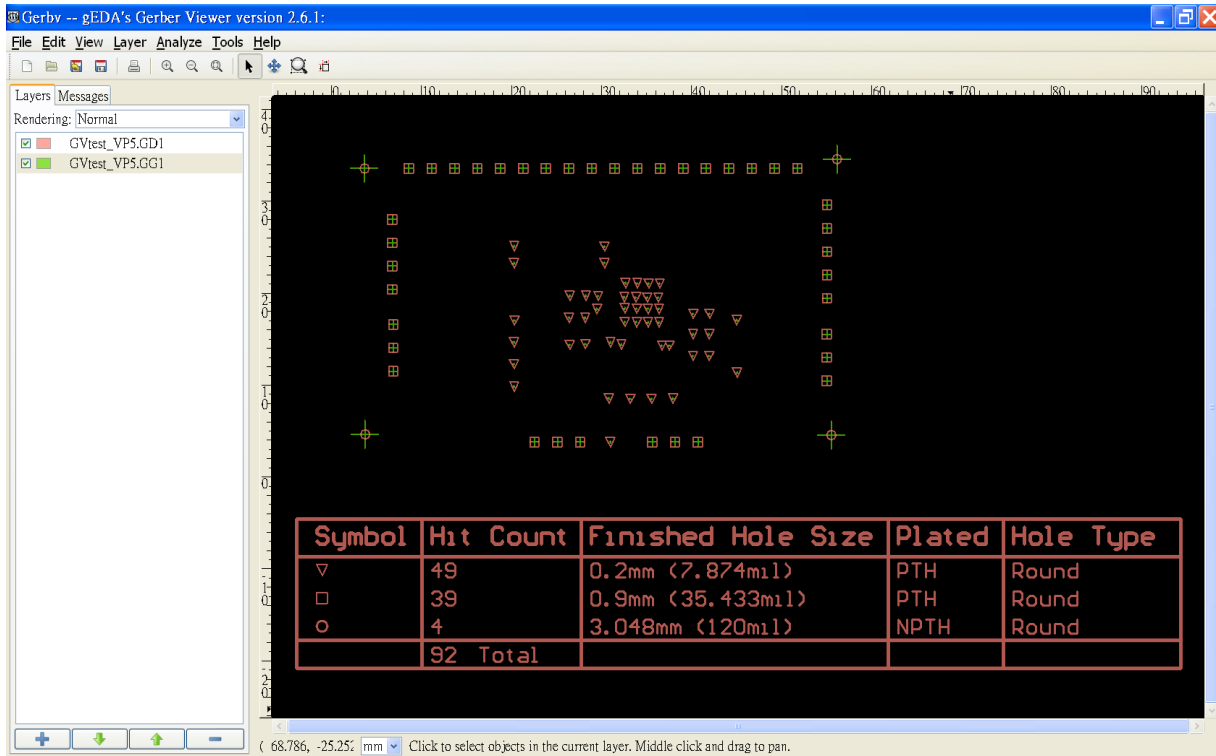


圖 5-3 以 gerbv 免費 CAM 軟體做 NC Drill 檔案的再檢視

以上的步驟就完成再檢視的動作，以確保輸出的 Gerber 檔及 NC Drill 檔無誤，並且上傳至半導體中心製作。

但因 .TXT 檔案經常無法正確讀出，所以還是以 Altium 本身的 CAM 軟體為主。

以上為「半導體中心 PCB 製作 Altium 軟體使用者手冊」之全部內容。

6. 中英名詞對照

英文符號 / 縮寫	英文全名	中文名稱
	Board Outline	成形邊框
σ	Conductivity	電導率
CAM	Computer Aided Manufacturing	電腦輔助製造
DRC	Design Rule Check	設計規範驗證
DRM	Design Rule Manual	設計規範手冊
ϵ_r	Dielectric constant	介電係數
ENIG	Electroless Nickel Immersion Gold	化金、化鎳浸金
δ	Loss Tangent	損耗角正切
NPTH	Non- Plating Through Hole	不鍍銅貫孔
	Peripheral Outline	外圍邊框
PCB	Printed Circuited Board	印刷電路板
PP	Prepreg	膠片
PTH	Plating Through Hole	鍍銅貫孔
ρ	Resistivity	電阻率
	Solder pad	焊墊
	Stacking	疊構

[\[回到目錄\]](#)

TPCA	Taiwan Printed Circuit Association	台灣電路板協會
	Template	樣板檔案

7. 參考資料

7.1 半導體中心「PCB 製作設計規範手冊」

http://www2.cic.org.tw/~hitd/PCB/doc/DRM_PCB.pdf

7.2 配合 PCB 製作廠商

晟鈦股份公司 <http://www.cheer-time.com/> 的「製程能力」文件

7.3 「電路板基礎製程簡介」書籍，TPCA (2012)

7.4 「印刷電路板概論・養成篇二版」書籍，TPCA

7.5 「硬式電路板材料簡介」書籍，TPCA

7.6 「2009 年電路板術語手冊」書籍，TPCA (2009)

7.7 PCB 製程影片，Unimicron Germany 公司

<https://www.youtube.com/watch?v=UAJ12W-VT2Q>

7.8 PCB 製程影片，科榮公司

<http://www.youtube.com/watch?v=yZFfIKUd9pE>