

財團法人國家實驗研究院台灣半導體研究中心 教育性晶片製作申請須知與說明

公佈時間：113 年 11 月 7 日

歡迎參閱「台灣半導體研究中心」教育性晶片製作申請須知與說明。

晶片製作相關訊息公佈於 [本中心首頁>最新公告](#)，敬請參閱。

一、目的與申請概要說明：

教育性晶片製作服務以教育訓練為目的，國內學術界各大專院校授課教師先經由本中心取得含教育性晶片製作服務之製程技術資料使用資格(參見二與三)，其授課課程之修課學生可於已取技術資料使用資格之製程有效梯次中(參見四之第1項之說明)，提出與課程內容相關之晶片製作申請；每一學生於每一課程僅能進行一次晶片製作，申請之製程與梯次由授課教師與修課學生共同討論，並由修課學生進行教育性晶片製作申請。

二、教育性晶片製作服務製程代號與說明：

製程代號	製程說明
TN65GP	TSMC 65 nm CMOS Mixed Signal RF General Purpose Plus LowK Cu 1P9M 1.0&2.5V
TN90GUTM	TSMC 90 nm CMOS Mixed Signal MS General Purpose Standard Process LowK Cu 1P9M 1.0&3.3V (With UTM)
T18	TSMC 0.18 um CMOS Mixed Signal RF General Purpose MiM FSG Al 1P6M 1.8&3.3V
U18	UMC 0.18 um Mixed-Mode and RFCMOS 1.8V/3.3V 1P6M Metal Metal Capacitor Process
U18MEMS	UMC 0.18um CMOS and MEMS Process
D35	TSMC 0.35 um Mixed-Signal 2P4M Polycide 3.3/5V
Multi-option-MEMS	TSMC 0.35um CMOS Process and APM MEMS Process wi/wo Gold
SiGe18	TSMC 0.18 um BICMOS Mixed Signal SiGe General Purpose Standard Process FSG Al 3P6M 1.8&3.3V
P15	WIN 0.15 um PHEMT
GaN12	WIN 0.12um RF High Power GaN-on-SiC HEMT Technology
T18HVG2	TSMC 0.18um CMOS HIGH VOLTAGE MIXED SIGNAL BASED GENERATION II BCD 1P6M SALICIDE AL_FSG 1.8/5/6/7/8/12/16/20/24/29/36/45/55/65/70V/VG1.8/5V AND 5/6/7/8/12/16/20/24/29/36/45/55/65/70V/VG5V
T50GaN	TSMC 0.50 UM GAN WBG E-HEMT USG AL 0P3M HKMG 650V

三、製程技術資料與晶片製作申請方法：

1. 請使用者先成為本中心之會員：

申請加入會員之網址如下：<http://www.tsri.org.tw/login/login.jsp>

2. 完成製程技術資料申請及授權：

請教師於完成會員登入後(<http://www.tsri.org.tw/login/login.jsp>)，進入製程/矽智財申請網頁

(http://www.tsri.org.tw/fab_services/index.jsp?menu=apply 或是 [本中心首頁>晶片製作>製程/矽智財申請](#))，進行製程/矽智財申請。

3. 申請晶片製作前，請使用者預先傳送以下資料至本中心：

1) 智慧財產權切結書

一位教師一年度繳交一份智慧財產權切結書，當年度之智慧財產權切結書可由 <https://www.tsri.org.tw/CommonUtilServlet?type=2.84&file=chipserviced1s1a1know.pdf> 下載，敬請各位教授於完成文件填寫及簽名用印後，將文件之掃描檔案 (PDF 格式或圖片檔格式) 以電子郵件寄至 cisd_prouser@narlabs.org.tw。

2) 計分點名單與含修課名單之Excel格式檔案

敬請有意申請教育性晶片製作之教授，先至 [https://www.tsri.org.tw/CommonUtilServlet?type=2.84&file=chipserviced1s1a1edu\(1\).xls](https://www.tsri.org.tw/CommonUtilServlet?type=2.84&file=chipserviced1s1a1edu(1).xls) 下載表格檔案，完

成表格填寫後，將表格檔案(Excel檔)與課程計分點名單之掃描檔案（需有蓋系所章與授課教授簽名，PDF格式或圖片檔格式），以電子郵件寄至 cisd_edu@narlabs.org.tw；一門課程僅需繳交一次。

4. 晶片製作申請三步驟：

請 TN65GP、TN90GUTM、SiGe18、T18HVG2 等製程之使用者，於**申請截止日 14:00 前**完成下方步驟一填寫申請表，並上傳第一版之 GDS 檔案(此版本 GDS 不需要是完整的佈局也不需要是 DRC-Clean，但佈局面積請盡量與最終版本相同)。並於教育檔案上傳截止日(14:00 前)完成步驟二(上傳最終版本的 GDS 檔案)與步驟三。

請其他製程使用者於**申請截止日 14:00 前**完成下列步驟一至三，逾期者恕不受理。

請使用者進入以下網頁http://www.tsri.org.tw/fab_services/index.jsp?menu=AET 或是 [本中心首頁](#)>晶片實作>下線導引，參閱同一網頁之「[下線申請相關注意事項](#)」文件，該文件內容包含各製程相關注意事項及常見之申請不受理的原因等，有助於使用者順利完成晶片製作申請，敬請詳加利用！

(步驟一) 填寫晶片製作申請表：

使用者完成會員登入後(<http://www.tsri.org.tw/login/login.jsp>)，進入網頁本中心首頁>晶片實作>下線申請>下線新申請，選擇正確之製程梯次與晶片種類，並完成填寫晶片製作申請表。

(步驟二) 上傳檔案資料：

使用者完成會員登入後，進入網頁本中心首頁>晶片實作>下線申請>下線申請總表，於**檔案上傳截止日 14:00 前(速審部分負擔晶片請於檔案上傳截止日 23:59 前)**，透過網頁上傳以下檔案，檔案不完整之申請案恕不受理。

- [1]設計內容電子檔(副檔名限制為*.doc)
- [2]佈局圖檔(GDS 格式)
- [3] DRC 驗證結果檔
- [4] LVS 驗證結果檔
- [5] Tapeout Review Form

設計內容電子檔之內容如下：

- [1]設計者姓名及聯絡電話.[2]專題名稱.[3]全新設計或改版說明.[4]原理及架構說明.[5]設計流程.
- [6]電路詳圖.[7]模擬結果.[8]量測考量.[9]佈局驗證結果錯誤說明.[10]佈局平面圖.[11]打線圖.
- [12]預計規格列表.[13]參考文獻.

註 1：設計內容電子檔的容量以 5MB 為限、總頁數盡量控制在 30 頁以內、圖檔以 gif 為佳。

註 2：設計內容電子檔內[3]全新設計或改版說明項目須對所申請之設計案用以下三種分類進行選擇並做相關說明：

(1)設計者全新設計；(2)修改設計者過去已經完成之設計；(3)採用他人設計，進行改善；

—若此設計屬於(1)設計者全新設計，不是對已存在之設計進行改版，請於[3]全新設計或改版說明項目註明”此案件為設計者全新設計”；

—若此設計屬於(2)修改設計者過去已經完成之設計或(3)採用他人設計，進行改善，請於[3]全新設計或改版說明項目註明”此案件為修改設計者過去已經完成之設計”或”此案件為採用他人設計，進行改善”，並說明為何需要進行改版下線，過去下線版本的規格與量測結果，以及說明此次改版的內容有哪些、改善了哪些規格……等資訊(若之前版本量測結果非正常動作，則需分析探討晶片不能正常動作的原因)。

註 3：設計內容電子檔內[7]模擬結果.[12]預計規格列表；都需附上 Pre-Layout Simulation 與 Post-Layout Simulation 比較圖表，[12]預計規格列表尚需要列出各項規格，可參考設計內容範例，請務必遵守，否則申請案將不予受理。

註 4：設計內容電子檔內[10]佈局平面圖與其他項目內可不附上佈局面積大小之資訊，請使用者自行選擇是否於設計內容中提供設計案面積資訊；請使用者注意，因各梯次整體下線之面積資源、

佈局排列與切割方法限制，使用者所取得的晶片大小不會與使用者所繪製之佈局面積大小相同。

(步驟三) 檢查上傳資料完整與確認送出申請：

- (1) 使用者完成會員登入後，進入網頁[本中心網頁](#)>[晶片實作](#)>[下線申請](#)>[下線申請總表](#)，點擊申請案之佈局圖檔資訊欄位按鈕，查看佈局圖檔資訊與 DRC 驗證結果。
- (2) 請確認申請表是否完整、上傳之檔案是否完整、佈局圖檔資訊與 DRC 結果是否正確，若無疑問請於申請截止時間前至下線申請總表，按下確認送出欄位下之”**送出**”按鈕，以完成申請。

5. 使用者收到晶片後，請上傳晶片測試報告，詳細說明請見注意事項第10點。

四、注意事項：

1. 教育性晶片製作有效申請時間與排序原則說明：

為給予設計者充足的時間熟悉設計環境並完成相關設計，修習第一學期課程之學生，請於課程開課至隔年的9月底期間，在授課教授完成寄送必要文件後(參見三之第3項內容)，申請教育性晶片製作；修習第二學期課程之學生，請於課程開課至隔年的3月底期間，在授課教授完成寄送必要文件後(參見三之第3項內容)，申請教育性晶片製作。學生修習課程之教育性晶片申請有效期間與下線狀況可登入本中心網頁查詢，登入本中心網頁後進入 [製程服務](#) > [下線申請](#) > [檢視下線資格](#) > [三.教育性晶片下線紀錄](#) 進行查詢。

如當梯次申請多個教育性晶片，請教授**依照每一門課程**先自行評定下線優先順序，以供本中心審查時參考，本中心將視可用光罩面積多寡及教育性晶片審核依據擇優同意下線製作數量。

此外，為避免部份課程因所屬學生申請案眾多而排擠到**其他課程學生**的下線機會，**本中心依每一門課程以一輪優先排列一至三顆方式**，讓更多課程之修課學生可使用教育性晶片下線，為達資源最佳利用，對於學生申請案較多之課程亦提供第二輪、第三輪、.....之下線安排，直至可用面積用盡或所有教育性晶片皆排入為止，每一門課程並無下線顆數之限制，期望讓大多數學生可以有完整訓練。

因教育性晶片之設計者多為初次進入IC設計領域之新手，為避免因DRC錯誤等佈局問題造成申請案件被退件，而錯失晶片實作及後續晶片量測等機會，本中心於申請截止日後新增加教育性晶片修改佈局之機制，請於申請截止後密切留意本中心之通知訊息。

2. 教育性晶片製作之作業流程：

詳見本中心首頁> [晶片實作](#)>[下線導引](#)之「[教育性晶片製作申請及審查流程](#)」文件。

3. 晶片製作業務承辦人：

若您有申請或技術方面的問題，請隨時聯絡相關業務承辦人，詳見網頁 [本中心首頁](#)>[晶片實作](#)>[連絡窗口](#)。

4. 申請資料更新、補送或退回：

為免審查作業不及，申請截止日後，不再接受申請資料更新或補送，申請人所繳交資料不全者將不予受理。申請人請務必於送出申請案前仔細檢查所需之申請資料。未受理之申請案將不退回。

5. 本中心成果會議：

使用本中心所提供的製程製作品片(免費與部分負擔收費製作)之申請人，對於本中心舉辦之成果會議將有出席與報告之義務。

6. 加總積點 (Total Credit)：

加總積點=晶片積點+服務積點 + 新教授積點

1) 晶片積點 (Chip Credit) = (近3年論文數) / (近2年晶片數)；

論文數計算：Journal-Paper(國內外)*2、 Conference-Paper(國內外)*1、 Patent(國內外)*1、 技術移轉(國內外)*1。

本年度仍以促進論文發表為主，僅區分 Journal 與 Conference 其領域之差別，未來將持續加入不同類別論文的比重以導向高水準之研究與高品質論文發表。

註：近2年晶片數為不包含當年度之前2年度晶片數。

2) 服務積點 (Service Credit)：

學校教授如擔任晶片製作審查委員，負責書面審及出席審查會則另計服務積點。

服務積點 = (前一年度審查會出席次數+書面審次數) * 0.02

註：服務積點最高為 0.2。

3) 新教授積點：

近 3 年下線晶片數目小於等於 3 顆者，皆視為新教授，加總積點一律加 0.2。

4) 「加總積點」的用途：

當晶片評定為同等級時，晶片製做依照加總積點高者優先排序。

7. 對本中心的 Acknowledgement：

使用本中心所提供製程製作晶片而發表之論文，論文中應提及本中心，並於中心網頁[本中心首頁](#)>晶片製作>加總積點>績效填報(論文登錄)功能進行論文發表登錄，以更新加總積點資料，請教授隨時至本中心網頁進行論文資料更新。

Acknowledgement 的內容可參考範例：

範例 1：This research was supported in part by _____ services from Taiwan Semiconductor Research Institute (TSRI), Taiwan, R. O. C.

範例 2：The authors would like to acknowledge chip fabrication support provided by Taiwan Semiconductor Research Institute (TSRI), Taiwan, R. O. C.

8. 各製程教育性晶片製作面積限制：

D35 / Multi-option-MEMS：小於或等於 1.5*1.5(mm²)，單邊長度不可超過 1.5mm。

T18HVG2：小於或等於 1.3*1.3(mm²)，單邊長度不可超過 1.3mm。

T18：小於或等於 1.2*1.2(mm²)，單邊長度不可超過 1.2mm。

U18 / U18MEMS18：小於或等於 1.5*1.5(mm²)，單邊長度不可超過 1.5mm。

TN90GUTM：小於或等於 1*1(mm²)，單邊長度不可超過 1mm。

TN65GP：小於或等於 0.8*0.8(mm²)，單邊長度不可超過 0.8mm。

T50GaN：小於或等於 1.2*1.2(mm²)，單邊長度不可超過 1.2mm。

SiGe18：小於或等於 1.2*1.2(mm²)，單邊長度不可超過 1.2mm。

P15：面積 (X*Y) 須等於以下任一面積：1mm*1mm / 1mm*2mm / 1.5mm*1mm / 1.5mm*2mm / 2mm*1mm / 2.5mm*1mm / 3mm*1mm。

GaN12：面積 (X*Y) 須等於 1mm*1mm。

9. 晶片數目：

經本中心安排製作之晶片，無包裝需求之晶片可得18顆未包裝的晶片，有包裝需求之晶片可得2顆包裝及16顆未包裝的晶片。

10. 使用者收到晶片後，請上傳晶片測試報告：

1) 上傳測試報告方法：

使用者於收到(包裝好之)晶片二個月內需完成晶片測試，並上傳該晶片之測試報告及中英文摘要之電子檔，本中心擁有此報告與摘要之使用權；使用者完成會員登入後，請進入以下網頁完成測試報告上傳：[本中心首頁](#)>晶片實作>測試報告。

2) 測試報告延遲上傳影響：

晶片設計者延遲上傳任何一篇測試報告，或授課教授名下合計延遲上傳教育性晶片測試報告六篇，則恕不再受理設計者或授課教授之教育性晶片製作申請；使用者可至本中心網頁 [本中心首頁](#) > [晶片實作](#) > [測試報告](#) 查詢測試報告缺件狀態。

11. 沒有固定晶片面積，且需經審查之前瞻性晶片或教育性晶片，每件申請案對應一件設計與一件佈局圖檔；該申請案之佈局圖檔內僅能包含一個電路，不接受佈局圖檔內包含相互比較效能的電路組，或比較功能的電路組，或數個獨立的電路等晶片製作申請。

五、審核依據：

設計與模擬之完整性、佈局與驗證之完整性、同一課程設計題目重覆性、晶片佈局面積使用效率、與課程內容相關性、申請書所有內容之完整性、逾期缺交測試成果報告、授課教師選定之優先順序。

六、教育性晶片製作優先權：

1. 教育性晶片製作之優先權排序如下：

為避免部份課程因所屬申請案眾多而排擠到其他課程的下線機會，本中心依每一門課程以一輪優先排列一或三顆方式下線，除了讓更多課程之修課學生可使用教育性晶片下線，為達資源最佳利用，對於學生較多之課程亦提供第二輪、第三輪、.....之下線安排，直至可用面積用盡或所有教育性晶片皆排入為止。

2. 晶片下線安排：

晶片下線依上述排序標準安排製作，至該梯次面積用完為止（本中心具彈性下線調整權），本中心隨後將公佈下線資料，未能安排製作之晶片，無論評定等級為何，不予保留至下梯次製作。

七、訊息公告：

本中心將於申請截止並審核處理完後，以 E-mail 及於網站公告受理、不受理申請案。

八、計費說明

配合學校課程之教育性晶片製作服務，目的在於提供學生完整之晶片設計與實作訓練，因此教育性晶片製作以 100% 記帳方式處理，無另收費。

1. 晶片製作

製程代號	單價 (NTD/mm ²)
TN65GP	請參閱本中心晶片系統「收費標準」網頁之「對外服務收費方式與說明」，「收費標準」網頁網址： https://www.tsri.org.tw/custservice/chip_charges.jsp
TN90GUTM	
T18	
U18	
U18MEMS	
D35	
Multi-option-MEMS	
SiGe18	
P15	
T18HVG2	
GaN12	
T50GaN	

2. 晶片包裝

包裝單價為每顆包裝之價格，經本中心安排製作需要包裝之晶片可得 **2顆** 包裝的晶片

種類	單價(NTD/顆)
S/B-18	請參閱本中心晶片系統「收費標準」網頁之「對外服務收費方式與說明」，「收費標準」網頁網址： https://www.tsri.org.tw/custservice/chip_charges.jsp
S/B-24	
S/B-28	
S/B-32	
S/B-40	